

厚膜膜层整平起泡问题定位与消除

刘俊夫 范英 聂强强 卫敏

中国电子科技集团公司第43研究所 安徽 合肥 230088

摘要: 随当前厚膜混合集成电路集成度及多层布线层数的逐渐增加,厚膜膜层的平整度对器件组装以及使用可靠性影响也愈发明显。本文对厚膜导体膜层的整平工艺中出现的起泡问题展开显微组织分析,定位起泡问题并针对性提出解决措施,结果表明:厚膜导体整平后的表面磨痕是其再印介质出现起泡现象的关键所在,且磨轮目数越低,导体表面越粗糙,起泡现象越严重。对介质整平印烧介质、稀释介质浆料以及返烧整平后导体等手段可有效解决起泡问题,但仍需进一步评估厚膜基板的可靠性。

关键词: 厚膜混合集成电路;平整度;厚膜导体;厚膜介质;起泡

1 前言

厚膜混合集成电路(HIC)电子封装工艺灵活,结构强度高,且具备优异的环境耐受性,广泛应用于电子、医疗电子和汽车电子等要求高可靠性的领域,前景广阔^[1]。高可靠HIC配套的厚膜基板通常采用丝网印制工艺将厚膜浆料印刷在陶瓷基片上,然后经过烘干、烧结等过程使膜层与基板之间以及膜层之间相互牢固结合,并具有设计所需的电性能和结构强度^[2,3]。在实际生产过程中,受基板平整度、印刷设备及浆料特性等多因素制约,厚膜膜层的致密性及表面平整度较低。特别是多次印制后,其表面起伏程度可达几十到几百微米^[4]。

而当下面临电子设备功率密度提升及小型化的迫切需求,对厚膜HIC提出了新挑战。特别是多层布线层数的增加导致膜层的平整度这一问题逐渐暴露,直接影响到多层布线基板表面元器件的贴装及应用可靠性。膜层表面导体整平再印烧介质后出现的起泡现象是影响厚膜基板平整度的共性问题。因此,本文对厚膜膜层的整平工艺及过程中出现的起泡现象进行定位分析,开展相关研究,并有针对性的提出改进措施,为厚膜基板工艺及设计提供参考。

2 实验设计

实验采用96%Al₂O₃陶瓷基板,先印后烧的方式在陶瓷基板上分别印制介质浆料+银基导体浆料及介质+介质浆料,膜层厚度均控制在30μm左右。烧结后对两种基板膜层表面在自动减薄机下分别使用300目及600目的金刚石磨轮机械减薄3~5μm,直至膜层表面达到良好的平整度。在减薄后的介质/导体复合膜层表面印烧介质,介质/介质复合膜层表面印烧导体浆料,在基恩士体视显微镜下观察膜层表面形貌。

3 实验结果与讨论

3.1 介质/导体/介质复合膜层显微组织分析

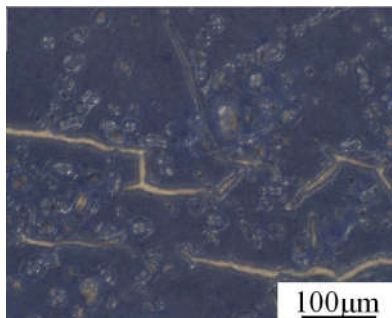


图1 300目磨轮整平后印烧介质起泡形貌

如图1所示,为300目磨轮整平后介质的膜层表面。介质/导体/介质复合膜层印烧后均出现了不同程度的表面起泡现象,起泡大小在2-10μm不等,且磨轮越粗糙,表面起泡现象越严重。如图1所示,300目磨轮磨削后的复合膜层表面出现了较为严重的膜层开裂,膜层结合强度极低。为定位起泡及开裂位置,对印烧介质前的复合膜层表面同样进行了显微组织观察,

经整平后,导体表面沿磨轮磨削方向出现了规则分布的放射状磨痕,且如图2所示的对600目磨轮整平后的导体表面粗糙度测试结果表明,磨轮目数越低,导体表面越粗糙,磨痕深度越大。表面起泡及开裂位置与磨痕位置及走向基本吻合,因而凹凸不平的磨痕是起泡现象的关键诱因。厚膜浆料在印刷后依靠有机载体的流变性润湿膜层或基板表面,随后在烧结过程中因玻璃相的软化流动实现功能相的烧结及膜层间的紧密结合^[5]。磨痕深度的增加势必会导致浆料流平过程中底部凹液面曲率半径增大,从而增大液面的表面张力,减小接触角,抑制浆料的流动。除此之外,据杨华荣对浆料流平的模拟计算结果,浆料粘度越小,流平越易^[6]。而介质浆料粘度较

高，一般可达 $100\text{Pa}\cdot\text{s}$ ，难以在有限的流平时间内流动到较深的磨痕根部并完全润湿导体表面，从而与导体膜层界面结合较弱。在烧结过程中磨痕沟壑底部的空气逸

出，形成膜层表面的气泡，而弱的界面结合则导致介质膜层在烧结应力作用下收缩、开裂。

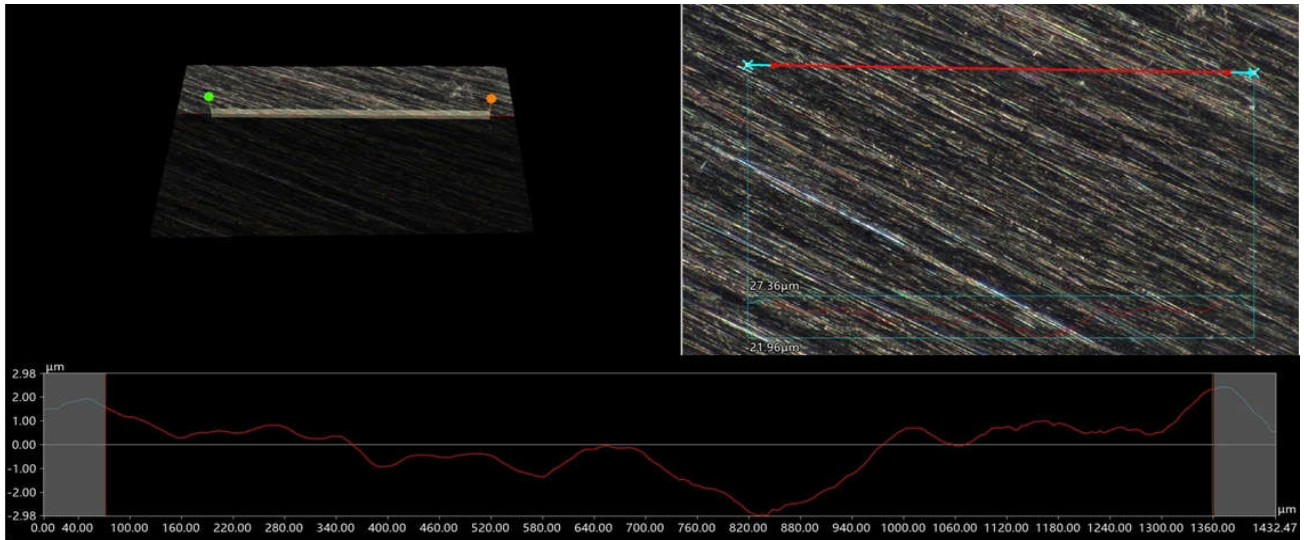


图2 600目磨轮整平后的复合膜层表面粗糙度

3.2 介质/介质复合膜层显微组织分析

绝缘介质浆料成分一般由高熔点的玻璃陶瓷如 Al_2O_3 、 SiO_2 等金属或非金属的氧化物构成，其莫氏硬度（9.0）远高于 Au 、 Ag 等导体材料（2.5-3），且变形过程一般为非塑性变形机制^[7,8]。因此在金刚石磨轮的磨削作用下，其表面光洁，平整度高，无明显划痕或沟壑。整平后表面再印介质后膜层结合状态良好，表面均无起泡或膜层开裂现象。其结果也侧面印证了导体膜层整平后的起泡现象与膜层平整度息息相关。尽管对介质层整平可有效避免起泡现象，但其高硬度导致整平过程中表面加工应力较大，本实验中对部分基板加工后观察到基板表面在应力作用下产生翘曲甚至破碎，因此介质膜层的整平对基板结构强度的要求较为严苛。

3.3 改进措施

3.3.1 稀释介质

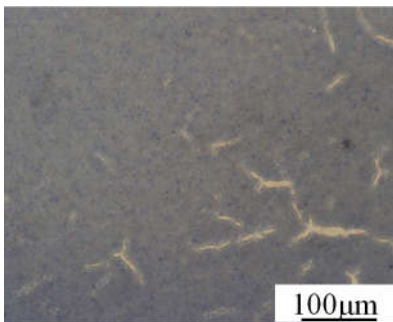


图3 稀释介质印制复合膜层300目磨轮整平后表面形貌
由3.1节可知，表面起泡的产生主要归因于介质浆

料无法润湿导体磨痕底部，因此考虑对介质浆料进行稀释，以增加其浆料流动性。印烧后结果如图3所示，稀释介质浆料对起泡现象改善明显，600目磨轮整平后印介质的复合膜层表面基本无起泡，300目磨轮整平后印介质的复合膜层起泡现象大幅降低，但在烧结热应力下膜层仍有部分开裂。因此采用目数较高的细磨轮降低表面粗糙度，再印制稀释的介质浆料可有效抑制介质起泡。值得注意的是，稀释浆料会使得印制膜层烧结厚度降低，大幅降低介质膜层的介电与绝缘性能，因此在实际生产过程中使用该方法需控制介质膜层厚度，充分评估膜层绝缘性能，以防基板击穿，对电路产生破坏性影响。

3.3.2 导体返烧后印烧介质

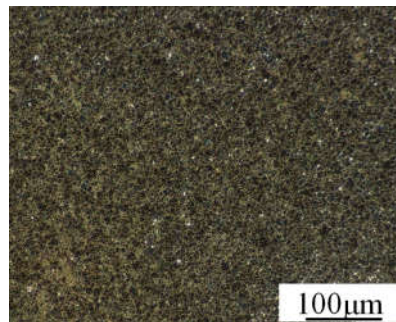


图4 600目磨轮整平后导体膜层经整平及返烧后的表面形貌
对磨轮整平后的导体膜层均在烧结炉中返烧一次，其表面形貌如图4所示。返烧后，相较图2的整平后表面，可以看出，经返烧后导体表面沟壑消失，表面平整度大幅提升，且两种膜层 Ag 层表面均由等轴晶构成，截

线法统计300目与600目整平后的膜层表面微粒尺寸分别为8.2和9.1 μm ，低于第一次烧结状态统计的10.3 μm ，明显发生了回复与再结晶过程。且Ag层表面分布大量的白色斑点，为返烧过程中导体内部的玻璃相上浮，大量的玻璃相分布有助于与上层介质形成良好的界面结合，增大结合强度。

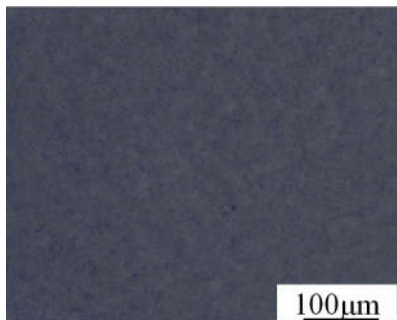


图5 300目磨轮整平后返烧导体后印烧介质复合膜层表面形貌

返烧后再印烧上层介质的表面形貌如图5所示，两种磨轮整平后的复合膜层表面均未出现起泡及开裂现象，界面结合状态良好。与稀释介质相比，其印烧介质膜层厚度约为其两倍左右，表现出更佳的膜层绝缘强度，因此整平后返烧不失为解决膜层起泡的最佳手段之一。但仍需注意的是，厚膜膜层特别是多层布线的厚膜基板，一味地增加返烧次数可能会导致玻璃相上浮，底部膜层界面之间结合变弱，无疑对厚膜基板的可靠性提出挑战。因而在实际的厚膜基板生产及工艺设计中，需尽量考虑降低返烧次数，以降低对基板可靠性的影响。

4 结论

本文对厚膜导体膜层整平后再印介质起泡这一问题进行了显微组织分析，定位其起泡位置及原因，并针对性的提出改进措施，结论如下：

(1) 厚膜导体膜层硬度较低，经整平后在表面易形成较深磨痕，致使再印介质后介质无法润湿导体膜层，烧结时磨痕底部空气逸出，形成起泡现象。且磨轮目数越低，整平后导体表面越粗糙，起泡现象越严重；

(2) 介质层烧结后硬度较高，对其表面磨平后平整度较高，再印烧介质无明显起泡现象；

(3) 针对导体整平印烧介质起泡现象提出两条改进措施：1) 稀释介质浆料，增加其流动性可使其充分润湿导体磨痕根部，形成良好界面结合；2) 返烧整平后导体，使表面Ag层再结晶，降低表面粗糙度。两种方法均可有效抑制起泡现象产生，但实际生产过程中需对稀释介质的介电性能及多次返烧后的膜层可靠性进行充分评估。

参考文献

[1]Gupta T.K.著,王瑞庭译.厚薄膜混合微电子学手册[M].北京:电子工业出版社,2005.

[2]朱文丽,刘俊夫,董永平等.陶瓷基片表面Au/电阻复合厚膜烧结起泡及其消除[J].电子元件与材料,2019,38(12):54-61.

[3]罗俊,秦国林,李晓红,等.厚膜混合集成电路可靠性技术[J].微电子学,2011,41(01):111-115.

[4]胡新颖.多层柔性衬底电路板的低成本丝网印刷[J].中国印刷与包装研究,2009,01(03):74-76.

[5]张飞进,朱晓云.电子浆料用有机载体的研究现状及发展趋势[J].材料导报,2013,27(2):81-85.

[6]杨华荣,堵永国,张为军等.表面活性剂对厚膜电子浆料流平性的影响[J].电子元件与材料,2004,(07):25-27.

[7]杨长印.厚膜介质浆料[J].混合微电子技术,1993(3):8-11.

[8]张传禹,堵永国,张为军,等.304不锈钢基片用绝缘介质浆料的研制[J].电子元件与材料,2004,23(8):17-18.