

厚膜成膜基片七层导体印烧工艺技术研究及可靠性评价

王 洋

连云港杰瑞电子有限公司 江苏 连云港 222006

摘要：成膜基片制造工艺是在陶瓷基片上，利用高精度丝网印刷机和不锈钢丝网，将电子浆料印刷在陶瓷基片上，并在干燥和烧结工艺下，与基板结合。成膜基片为元器件（芯片）提供一个载体，对形成产品质量起决定作用的过程。常规厚膜成膜基片可以满足3层导体的多层线路板制造，本文对3层以上的成膜基片制造进行研究和可靠性评价。

关键词：厚膜混合集成电路；成膜基片；七层导体

1 引言

目前厚膜混合集成电路产品成膜基片的最高布线层为3层，随着厚膜混合集成电路产品复杂化、微型化、高精度化的不断发展，要求厚膜成膜基片导线更细、线间距更窄，布线层数更高。本文开展厚膜成膜基片七层导体印烧工艺的技术研究，可以为成膜基片的布线设计提供更多的思路，减少布线紧凑带来的印刷质量问题，提高成膜基片制造的工艺水平。

2 研究目标

1) 利用现有工艺技术，实现七层导体的厚膜成膜基片。

2) 目前成膜基片的通孔层和导体层之间的搭接高度差为20 μm 以上，目标实现高度差控制在10 μm 以内。

3) 目前成膜基片的通孔层和导体层之间的搭接精度为 $\pm 10\mu\text{m}$ ，目标实现搭接精度控制在 $\pm 5\mu\text{m}$ 以内。

4) 七层导体的成膜基片需满足标准《XXXX总规范》中的C.2.7成膜基片评价中的电测试的要求，实现导体层之间的绝缘测试通过。

5) 成膜基片的金导体层需满足标准《XXXX总规范》中的C.2.7成膜基片评价中的膜层附着力测试要求。

6) 成膜基片的金导体层需满足标准《XXXX总规范》中的C.2.7成膜基片评价中的引线键合强度的要求。

7) 成膜基片的金导体层需满足标准《XXXX总规范》中的C.2.7成膜基片评价中芯片剪切强度测试的要求^[1]。

3 研究内容

3.1 浆料调研

通过国内外浆料厂家调研，了解到目前国内可以应用的浆料品牌有德国贺利氏、美国杜邦、美国福禄（ESL）、日本住友、西安宏星。目前多层烧结最大的难点在于隔离介质层无法耐烧多次，目前使用的7400介质浆料中主要成分是微晶玻璃，由于微晶玻璃的膨胀系

数稍高，在多次高温烧结后，容易出现玻璃相上浮导致气泡的现象（电池效应），因此总烧结次数不能超过20次，无法实现超3层导体的印烧。

通过调研6800介质浆料可以满足要求，6800浆料采用的是微晶陶瓷粉末，膨胀系数低，说明书中资料现实耐烧次数 > 30次。同时查6800浆料体系搭配使用的通孔浆料为9580，具有较低的缩水率，可以和导体层之间形成有效的搭接互联。

改进后的浆料匹配性工艺研究均选用相同品牌的浆料。同一品牌浆料使用的基料和添加剂相同，相同浆料型号之间的附着力和相容性更好，适用于七层导体成膜基片的印烧工艺研究。

3.2 印刷机参数研究

金导体层和金通孔层之间的有效搭接互联与金通孔层和介质层膜厚控制密不可分。印刷图层的膜厚和完整性与网版参数、印刷机参数、流平时间有关。其中影响膜层厚度的印刷机参数有刮刀压力、刮刀速度和工作台与网版间距，浆料在可调范围内进行印刷，以湿膜厚度及图形完整性作为印刷后的评价项目。

(1) 进行DOE试验， 2^k 设计见下表，以五点测试法进行测量湿膜厚度；

(2) 以湿膜厚度值作为输出，进行建模筛选显著因子，使用显著因子进行二次建模；

(3) 计算湿膜厚度为27 μm ~30 μm 的印刷参数（对应干膜厚度8 μm ~10 μm ）；

(4) 再以模型计算得出的最优参数印刷5片厚膜样品，验证模型是否准确。

从验证样品的结果，第9~12分组导体层印刷效果最好。因此，当刮刀压力为0.225MPa，刮刀速度为65mm/s，工作台与网版间距为1.2mm，导体层的印刷效果最佳，边缘清晰可见。

表1 DOE试验^{2k}设计

标准序	运行序	中心点	区组	A刮刀压力	B刮刀速度	C工作台与网版间距	数量
1	1	1	1	0.210	30	1.2	5片
2	2	1	1	0.240	30	1.2	5片
3	3	1	1	0.210	100	1.2	5片
4	4	1	1	0.240	100	1.2	5片
5	5	1	1	0.210	30	2.2	5片
6	6	1	1	0.240	30	2.2	5片
7	7	1	1	0.210	100	2.2	5片
8	8	1	1	0.240	100	2.2	5片
9	9	0	1	0.225	65	1.7	5片
10	10	0	1	0.225	65	1.7	5片
11	11	0	1	0.225	65	1.7	5片
12	12	0	1	0.225	65	1.7	5片

3.3 印刷视觉对位系统工艺研究

印刷视觉对位系统由两种对位方式，一种是圆对位，一种是直线对位。影响视觉对位精度的主要参数是快门类型和亮度，由于不同浆料颜色不一致，需要调整快门类型和亮度参数以提高视觉识别精确度。其中对于导体层采用圆形或F型MARK点进行对位，经过多次识别，快门类型选择7，亮度参数选择80~100，识别正确，且合格率100%。对于介质层采用陶瓷片边进行对位，快门类型选择5，亮度参数选择160~180，识别正确，且合格率100%^[2]。

3.4 通孔层和介质层搭接高度差研究

七层导体成膜基片通孔层使用9580浆料和介质层使用6800浆料，原成膜基片通孔层使用8500浆料和介质层使用2400浆料。测试5块成膜基片中通孔层和介质层膜厚平均值差发现，原成膜基片通孔层和介质层膜厚差平均值为12.09 μm ，而七层导体成膜基片的通孔层和介质层膜厚差平均值为4.67 μm ，符合目标值 $\leq 5\mu\text{m}$ 的目标要求。

3.5 通孔层和导体层之间的搭接精度研究

对比七层导体成膜基片和现有成膜基片对位点，发现使用视觉自动对位系统的样品对位点的重复精度更高。视觉自动对位和人工对位成膜基板各选5块，每块基板各选5个通孔层和导体层搭接处进行测量，经统计，视觉自动对位精度为2.316微米，人工对位精度为3.096 μm 。

通过计时视觉对位系统识别MARK点并完成对位共耗时2~7s。统计七层导体成膜基片共需对位37次，印制60片基板共对位2220次。据统计，视觉对位系统对位报错次数为9次，对位错误率为0.4%。

3.6 版图及工艺设计

为了验证七层导体的印烧工艺，设计一款成膜基片

采用七层金导体，设计的网版工装一共25块，总印刷层数（次数）为31层（次）。印烧按照常规逐层印烧法进行，对印烧工艺方法未进行更改。

4 验证结果

4.1 七层导体层之间导通和绝缘测试

选取10块七层导体成膜基片按照装配图找到不同层的测试点，对照图3进行不同层数之间的导通测试。

使用万用表对10块成膜基片七层导体之间进行通断测试，不同层数之间均搭接导通，合格率为100%。使用绝缘测试仪对10块成膜基片上下导体进行绝缘测试，使用500VDC测试合格，合格率为100%。再次使用1000VDC测试绝缘，测试合格，合格率为100%。

4.2 膜层附着力测试

膜层附着力测试要求：对于金导体膜层，可采用直径 $d = 25.4\mu\text{m}$ 的金丝在3只基片的金导带上各金丝球键合10根引线，按照标准方法20XX条件D进行破坏性键合强度试验，要求每根引线的键合拉力均不小于3.5gf；

引线键合拉力实际测试数据如表2所示，3只基片上共30根引线键合拉力值均大于3.5g。金导体层无起皮与剥落现象。因此，七层导体成膜基片金导体膜层附着力测试均合格。

4.3 引线键合强度测试

成膜基片的金导体层需满足标准《XXXX总规范》中的C.2.7成膜基片评价中的引线键合强度的要求。按照标准方法20XX完成引线键合强度试验。样本应包括最少两块基片上至少10根引线进行破坏性拉力试验。每块基片样品上应试验相同的键合引线数。经过测试，5块基片上10根25 μm 金丝均大于3.5gf，如表3所示。且金层无明显的起皮与剥落痕迹。

表2 引线键合拉力测试值

分组	1号基片	2号基片	3号基片
引线键合拉力测试值 (g)	11.1	10.8	12.9
	10.4	11.9	10.3
	11.1	9.9	13.0
	12.2	9.0	12.0
	12.1	8.9	12.9
	12.3	12.4	14.3
	9.8	10.7	14.3
	10.6	10.3	13.3
	10.6	10.7	13.9
合格判据	$\geq 3.5gf$		

表3 引线键合拉力测试值

分组	1号基片	2号基片	3号基片	4号基片	5号基片
引线键合拉力测试值 (g)	9.6	11.2	10.3	10.7	13.0
	10.1	9.4	10.0	14.9	11.0
	11.1	11.5	10.7	13.5	11.3
	12.3	10.4	12.8	13.3	10.8
	12.0	11.0	10.6	13.1	14.3
	11.7	12.2	12.7	15.7	13.9
	12.6	11.3	11.9	13.4	14.8
	11.5	9.3	9.7	12.1	10.4
	9.9	11.3	12.3	13.9	14.1
合格判据	$\geq 3.5gf$				

4.4 芯片剪切强度测试

挑选5块七层导体成膜基片按照标准方法20XX芯片剪切强度测试的要求进行测试。要求每个基片上至少粘接和试验2个芯片，并进行剪切力测试。5块成膜基片共10个芯片的剪切力测试数据平均值为340.7N。10个芯片的剪切力测试值均大于50N，芯片剪切强度测试均合格。

5 总结

此次的厚膜成膜基片七层印烧工艺研究，突破了厚膜成膜基片常规的3层导体布线的限制，提高了厚膜混合集成电路成膜基片制造的工艺水平。同时实现了浆料印

刷的高精度视觉对位，验证了浆料的匹配性和适用性。同时经过可靠性测试，七层导体的成膜基片满足可靠性应用。

参考文献

- [1]王瑞庭,朱征等译(Tapan K.Gupta著)厚薄膜混合微电子学手册[M].电子工业出版社,2005,(03):16-17.
- [2]王传声,叶天培等译(Philip E.Garro Lwona Turlik著)多芯片组件技术手册[M].电子工业出版社,2006,(06):41-42.