

基于FPGA的高精度可编程电子时钟设计

丁美美

河北远东通信系统工程有限公司 河北 石家庄 054000

摘要: 本文提出了一种基于FPGA（现场可编程门阵列）的高精度可编程电子时钟设计方案。该方案利用FPGA的灵活性和高性能，通过精确控制时钟信号和采用先进的时序优化技术，实现了高精度的时间测量和显示功能。本文详细介绍了时钟信号的产生、分频、计数以及显示等关键模块的设计和实现过程，并对整个系统的性能和精度进行了详细分析。

关键词: FPGA；高精度；可编程电子时钟；时钟信号；分频器；计数器

引言

在现代电子系统中，高精度的时间测量和显示功能对于许多应用至关重要，如通信系统、控制系统和测试仪器等。传统的电子时钟设计多采用专用集成电路（ASIC）或微控制器（MCU）实现，但这些方法在设计灵活性、可重配置性和性能方面存在一定局限性。FPGA作为一种高性能的可编程逻辑器件，因其强大的并行处理能力和高度的灵活性，成为实现高精度电子时钟的理想选择。

1 FPGA 技术简介

1.1 FPGA的核心架构

FPGA（现场可编程门阵列）的架构精妙且灵活，主要由几个关键组件构成：可编程逻辑块（CLB）、可编程输入输出块（IOB）、数字时钟管理模块（DCM或PLL）、内嵌式块RAM以及丰富的布线资源。CLB作为FPGA的基础运算单元，能够灵活实现复杂的逻辑运算与功能组合；IOB则承担着桥梁的角色，确保FPGA与外部世界的高效沟通；DCM/PLL模块精准地管理时钟信号，为系统提供稳定的时序基础；内嵌式块RAM为数据处理与存储提供了便捷；而布线资源则如同FPGA的血管，确保各组件间信息的顺畅流通与交互。

1.2 FPGA设计流程

FPGA的设计过程是一个从抽象到具体的逐步实现过程，主要包括以下几个核心步骤：（1）功能定义：首先明确设计目标，即确定FPGA需要实现的具体功能与性能指标，为后续设计奠定坚实基础。（2）设计输入：采用硬件描述语言（如VHDL或Verilog）对电路的逻辑行为进行精确描述，这是将设计理念转化为具体电路设计的第一步。（3）功能仿真：在设计实现之前，通过仿真工具对设计进行预验证，确保逻辑功能的正确性，及时发现并修正潜在错误。（4）逻辑综合：将高层次的硬件描述

语言转化为更接近硬件实现的门级网表，这一步骤是设计与实现之间的桥梁^[1]。（5）布局布线：根据综合后的门级网表，将逻辑单元映射到FPGA的实际物理资源上，并优化布线以提高性能与资源利用率。（6）编程与调试：将设计配置文件下载至FPGA芯片中，进行实际运行测试。此阶段包括硬件调试、性能优化及故障排除，确保设计在实际环境中的稳定运行。在整个设计流程中，每一步都至关重要，且相互关联，共同构成了FPGA设计的完整生命周期。通过精细的设计与管理，可以充分发挥FPGA的灵活性与高性能优势，满足多样化的应用需求。

2 基于FPGA的高精度可编程电子时钟设计原理

2.1 时钟信号生成与精密管理

在构建高精度电子时钟时，稳定的时钟信号是确保时间准确性的基石。FPGA内建的PLL（相位锁定环）或MMCM（混合模式时钟管理器）模块，凭借其出色的时钟生成与管理能力，能够产生具有高精度和低抖动特性的时钟信号。通过精细调整PLL或MMCM的配置参数，如反馈分频比、输入/输出时钟频率比等，可以实现对时钟信号的精确微调，以满足不同应用场景对时钟精度的严苛要求。此外，这些模块还具备时钟去抖、频率合成等功能，进一步提升了时钟信号的稳定性和可靠性。

2.2 分频器设计的精细实现

分频器作为将高频时钟信号转换为低频时钟信号的关键组件，在电子时钟设计中扮演着至关重要的角色。在FPGA环境中，分频器通常通过计数器来实现。以生成1Hz时钟信号为例，我们可以将FPGA内部的一个高频时钟信号（例如50MHz）作为计数器的输入。通过设计一个计数器，使其在每次接收到时钟脉冲时递增，当计数达到50,000,000时（即50MHz时钟信号的半个周期），计数器输出一个脉冲信号，并将计数值重置为0。这样，计数器就成功地将50MHz的高频时钟信号分频为1Hz的低频

时钟信号，为电子时钟的精确计时提供了基础。

2.3 计数器设计的逻辑构建

计数器是电子时钟中实现时间累加和进位功能的核心部件。在设计中，我们通常需要构建秒计数器、分计数器和时计数器三个层级的计数器。这些计数器根据分频器输出的低频时钟信号进行计数，当某一层级的计数器达到其预定的计数值时（如秒计数器达到60时），会触发进位信号，将上一级计数器（如分计数器）的值加1，并同时将该级计数器重置为0。通过这样层层递进的计数机制，电子时钟能够准确地记录并显示时间信息。

2.4 显示模块的详细设计

显示模块是电子时钟与用户进行交互的重要界面，负责将时间信息以直观、清晰的方式呈现给用户。在FPGA设计中，可以选择七段数码管或液晶显示屏作为显示器件。为了实现时间信息的显示，需要设计编码电路来将时间信息转换为适合显示器件的段选信号和位选信号。对于七段数码管而言，编码电路会根据时间信息的

每一位数字生成相应的段选信号，控制数码管的哪一段应该点亮；同时，位选信号则用于选择当前应该显示哪一位数字。通过精确控制这些信号，可以确保时间信息能够准确、清晰地显示在数码管或液晶屏上。

3 系统设计与实现

3.1 系统架构设计

本系统秉承模块化设计原则，构建了时钟管理、分频器、计数器和显示四大核心模块。这些模块各司其职，又通过精心设计的信号线紧密相连，形成了一个高效协同的工作体系。时钟管理模块负责生成稳定、精确的时钟信号，为整个系统提供可靠的时间基准；分频器模块则根据需要将高频时钟信号转换为低频信号，以满足不同模块的工作需求；计数器模块则基于这些时钟信号进行精确的时间累加与进位；显示模块则负责将时间信息以直观的方式呈现给用户^[2]。各模块间通过信号线实现数据的无缝传输与同步，共同构成了本系统稳健、高效的架构，如图1所示。

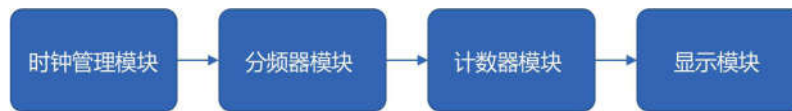


图1 系统架构图

3.2 关键模块实现

3.2.1 时钟管理模块

时钟管理模块在各类电子系统中均扮演着关键角色，其核心任务在于生成稳定且精确的时钟信号。在FPGA设计中，这一模块通常依赖于内置的PLL（相位锁定环）或MMCM（混合模式时钟管理器）来实现。一般而言，时钟管理模块的工作流程如下：首先，它接收来自外部或FPGA内部的时钟信号作为输入。接着，利用PLL或MMCM的锁相环机制，该模块能够生成一个与输入时钟同步，但频率和相位均可根据需求进行调整的新时钟信号。为了实现时钟信号的精确控制，设计者需要仔细配置PLL或MMCM的各项参数。这包括设定输入时钟的频率，以及通过调整反馈分频比和输出时钟频率比来精确设定输出时钟的频率。同时，相位偏移参数也允许设计者调整输出时钟与输入时钟之间的相位关系，以确保时钟信号的同步性。在配置过程中，设计者还需关注时钟信号的稳定性和抖动问题。通过优化PLL或MMCM的参数，如环路滤波器带宽、相位锁定时间等，可以有效降低时钟信号的抖动，提高其稳定性。最终，经过精心配置和优化的时钟管理模块能够输出一个高精度、低抖动的时钟信号。这个信号不仅为系统的其他模块（如分频器模块）提供了稳定可靠的时间基准，还确

保了整个系统的正常运行和精确计时。

3.2.2 分频器模块

分频器模块是电子时钟设计中的关键环节，其核心功能是将高频时钟信号转换为低频时钟信号，以满足不同模块的工作需求。在FPGA设计中，我们通常采用计数器来实现这一分频功能。首先，需要精确计算高频时钟信号的周期和所需低频时钟信号的周期，这是确定计数器计数值的基础。通过这两个周期的比值，可以得出计数器需要达到的预定值。在实现过程中，可以设计一个计数器来跟踪高频时钟信号的脉冲数量。每当计数器接收到一个高频时钟脉冲时，它就会增加一次计数。当计数器的值达到预定值时，它会输出一个低频时钟脉冲，并将计数器的值重置为0，然后重新开始计数。这样，通过控制计数器的预定值，我们就可以实现将高频时钟信号分频为所需的低频时钟信号^[3]。此外，为了确保分频的准确性和稳定性，还需要对计数器进行精心的设计和优化。例如，可以采用边沿触发的计数器来减少时钟信号的抖动对计数的影响，或者采用更高级的计数逻辑来提高计数的精度和稳定性。通过这些措施，我们可以确保分频器模块能够可靠地输出稳定、精确的低频时钟信号，为系统的其他模块提供可靠的时间基准。

3.2.3 计数器模块

计数器模块在电子时钟系统中负责时间的累加与显示,它通常由秒计数器、分计数器和时计数器三个主要部分组成,这些计数器协同工作,共同实现时间的精确记录。秒计数器是计数器模块的基础,它直接接收分频器模块输出的低频时钟信号,并根据该信号进行计数。每当秒计数器接收到一个时钟脉冲时,其计数值就会增加1,代表时间的流逝。当秒计数器的值达到60(即一秒的秒数)时,它会产生一个进位信号,并将自身的计数值重置为0,同时这个进位信号会触发分计数器的计数。分计数器则负责记录分钟数,它根据秒计数器产生的进位信号进行计数。每当接收到一个进位信号时,分计数器的值就会增加1。当分计数器的值达到60(即一分钟的分钟数)时,它同样会产生一个进位信号,并将自身的计数值重置,同时这个新的进位信号会触发时计数器的计数。时计数器是计数器模块中的最高层级,它记录小时数,并根据分计数器产生的进位信号进行计数。与秒计数器和分计数器类似,时计数器在接收到进位信号时会增加其计数值。当时计数器的值达到预设的最大值(如24小时制的24或12小时制的12)时,它可以根据需要选择重置为0或继续计数,以实现连续的时间记录。

3.2.4 显示模块

显示模块在电子系统中负责将各类信息以直观的方式呈现给用户,其中在电子时钟系统中,它主要承担时间信息的显示任务。为了实现这一功能,通常会选择适合的显示器件,如七段数码管,因其具备显示清晰、驱动简单且经济实用的特点。在设计显示模块时,首先需要将待显示的时间信息转换为显示器件能够理解的信号形式。这通常涉及到一个编码过程,即将时间信息的每一位数字或字符转换为对应的段选信号和位选信号。段选信号决定了显示器件中哪些部分应该被点亮以形成特定的字符或数字,而位选信号则用于在多位显示中选择当前应该显示的那一位。为了提高显示的稳定性和清晰度,特别是在多位显示的情况下,常采用动态扫描技术。这种技术通过快速且有序地切换位选信号,使得在同一时刻仅有一位被选中并显示,其余位则保持熄灭状态。由于人眼具有视觉暂留特性,因此用户会感知到所有位都是同时亮起的,从而实现了多位数的稳定且清晰的显示^[4]。此外,在设计显示模块时,还需考虑显示器件的驱动方式、信号的传输与同步、以及显示效果的优化

等问题。通过合理的电路设计和参数调整,可以确保显示模块在各种环境条件下都能提供准确、清晰的显示效果,满足用户的需求。

3.3 时序优化与性能分析

首先,针对系统内部的信号传输,优化布线资源是至关重要的一步。通过合理规划布线路径,减少信号在传输过程中的延迟和干扰,可以显著提升信号的质量。同时,注意信号完整性的保护,避免由于布线不当导致的信号衰减或畸变。其次,增加寄存器的使用是一种有效的时序优化手段。在关键路径上适当插入寄存器,可以分割长路径,降低信号延迟,并通过寄存器的锁存功能来减少信号抖动。这不仅有助于提高系统的时钟精度,还能增强系统的稳定性。此外,逻辑设计的优化也是不可忽视的一环。通过简化逻辑电路、优化逻辑结构,可以减少不必要的逻辑延迟,提高逻辑电路的工作效率。同时,合理平衡组合逻辑与时序逻辑的比例,有助于实现更高效、更稳定的系统设计。在时序优化的过程中,充分利用开发工具提供的时序分析功能至关重要。通过时序分析工具对系统进行仿真和验证,可以准确评估系统的时钟精度和稳定性,及时发现并修正设计中存在的时序问题。这不仅有助于确保系统满足设计要求,还能为系统的后续优化提供有力支持。

结语

本文提出了一种基于FPGA的高精度可编程电子时钟设计方案,并详细介绍了时钟信号的产生、分频、计数以及显示等关键模块的设计和实现过程。通过采用FPGA技术,实现了高精度的时间测量和显示功能,并具有高度的灵活性和可重配置性。未来工作将进一步优化系统性能,提高时钟精度和稳定性,并探索更多应用场景。

参考文献

- [1]母应东.基于FPGA的多功能电子时钟设计[J].信息记录材料,2020,21(06):132-134.
- [2]邢钰莹.基于FPGA的数字电子时钟设计[J].电脑迷,2017,(06):75-76.
- [3]许亚迪,张路莹,周麟坤.一种数字电子时钟的设计[J].中国新通信,2018,20(08):109.
- [4]李菲,张晓荣.基于Proteus仿真软件的数字电子时钟设计与实现[J].电脑知识与技术,2023,19(34):41-44+51.