

卫星通信中抗相位噪声的改进锁相环算法设计

习道政¹ 赵业佳²

1. 中国电子科技集团公司第三十六研究所 浙江 嘉兴 314001

2. 嘉兴南湖学院机电工程学院 浙江 嘉兴 314001

摘要: 卫星通信面临的主要挑战之一是相位噪声,其严重影响信号质量和系统稳定性。本文提出了一种基于自适应卡尔曼滤波的混合型数字锁相环(AKF-DPLL)算法设计,以优化相位噪声抑制和动态响应速度。通过实时估计相位噪声特性,动态调整环路参数,并引入非线性校正,显著降低了相位噪声。仿真实验表明,AKF-DPLL在相位噪声抑制、锁定时间优化等方面优于传统锁相环,提高了卫星通信系统的性能与稳定性。

关键词: 卫星通信; 抗相位噪声; 改进锁相环; 算法设计

引言: 卫星通信作为现代远程通信的重要手段,其性能深受相位噪声影响。相位噪声不仅导致信号质量下降,还可能引发通信中断,因此提高其抗相位噪声能力至关重要。本文旨在探讨一种改进锁相环算法,通过优化环路结构和引入自适应滤波技术,有效抑制相位噪声。该算法设计旨在提升卫星通信系统的稳定性和可靠性,为远程通信提供强有力的技术支持。

1 相位噪声与锁相环基础理论

1.1 相位噪声的定义与产生机制

1.1.1 定义与产生原因

相位噪声是振荡器输出信号相位的随机波动,表现为理想单频信号两侧的频谱扩散(单位: dBc/Hz)。其产生原因包括: (1) 器件噪声: 电阻热噪声、晶体管闪烁噪声(1/f噪声)直接干扰振荡器相位稳定性。(2) 非线性效应: VCO等非线性元件将噪声调制到载波相位上。(3) 环境干扰: 电源纹波、温度漂移通过调谐特性引入附加相位抖动。

1.1.2 频谱表现

(1) 近端噪声(< 1kHz偏移): 受1/f噪声主导,衰减斜率约-30 dB/decade。(2) 远端噪声(>1MHz偏移): 由白噪声决定,斜率-20 dB/decade。典型指标如-100 dBc/Hz@100 kHz。

1.2 锁相环的基本结构与工作原理

1.2.1 基本组成

(1) 鉴相器(PD): 检测输入信号与反馈信号的相位差,输出误差电压。(2) 环路滤波器(LF): 滤除高频噪声,生成平滑的VCO控制电压。(3) 压控振荡器(VCO): 输出频率随控制电压线性变化(单位: MHz/V)。(4) 分频器: 将VCO输出分频至参考频率,实现频率合成(如N分频)^[1]。

1.2.2 工作原理

(1) 失锁阶段: PD检测相位差,输出误差电压驱动VCO频率调整。(2) 捕获过程: LF动态抑制高频噪声,逐步缩小频率偏差。(3) 锁定状态: VCO输出相位与输入同步,误差电压趋于稳定。

1.3 锁相环的主要性能指标

(1) 锁定时间(LockTime): 系统从失锁到稳定的时间,受环路带宽和阻尼系数影响。窄带宽降低噪声但延长锁定时间。(2) 相位噪声: 反映输出信号的频谱纯度,由参考源噪声、VCO噪声及环路滤波器抑制能力共同决定。(3) 杂散(Spurs): 由分频器非线性、电源耦合或鉴相器泄漏引起的离散频谱成分,需通过优化布局和滤波抑制。(4) 环路带宽: 决定PLL对相位误差的响应速度,需权衡噪声抑制与动态性能。(5) 抖动(Jitter): 时域上的相位波动,与相位噪声频域特性相关,影响高速数字系统时序精度。

2 相位噪声对卫星通信系统的影响

2.1 相位噪声对信号质量的影响

2.1.1 信号失真与误码率增加

(1) 调制信号畸变: 在QPSK、QAM等高阶调制中,相位噪声会引入随机相位抖动,导致星座点旋转和扩散,降低解调精度。例如,10°的均方根相位误差可使64QAM的误码率(BER)恶化1-2个数量级。(2) 载波同步困难: 相位噪声会干扰接收机的载波恢复环路(如Costas环),增加载波频偏估计误差,进一步抬升BER。在低信噪比(SNR)条件下,这种影响尤为显著。(3) 码间串扰(ISI): 在宽带系统中,相位噪声引起的频谱扩散会与多径效应耦合,导致符号定时同步误差,加剧ISI^[2]。

2.1.2 卫星通信中的具体表现

(1) 上行链路: 地面站发射机的相位噪声会直接传

递给卫星转发器。若使用高频段（如Ka波段），VCO的相位噪声恶化更明显，需严格限制近端噪声（如 ≤ -80 dBc/Hz@1kHz偏移）。（2）下行链路：卫星本振的相位噪声与多普勒频移叠加，导致接收端需更复杂的跟踪算法。例如，低轨卫星（LEO）因高速运动，相位噪声会动态展宽多普勒频谱。（3）星间链路：在激光通信中，相位噪声会与大气湍流效应相互作用，导致相干检测灵敏度下降。

2.2 相位噪声对通信系统稳定性的影响

2.2.1 系统稳定性与可靠性

（1）环路失锁风险：锁相环（PLL）的相位噪声容限有限。当输入信号相位抖动超过环路带宽时（如因卫星姿态突变），可能导致PLL失锁，引发通信中断。典型要求为环路相位误差 $< 5^\circ$ 。（2）频率合成器性能退化：星载频率合成器的相位噪声会累积至整个系统。例如，本地振荡器（LO）的远端噪声（ > 1 MHz偏移）可能混叠到中频，干扰相邻信道。（3）抗干扰能力下降：相位噪声会降低接收机的选择性，使系统更容易受邻道干扰（ACI）和同频干扰（CCI）影响，尤其在密集频分复用（FDMA）场景中。

2.2.2 链路预算影响

（1）等效噪声功率提升：相位噪声能量会叠加到信号带宽内，等效为接收机噪声系数（NF）的增加。例如， -70 dBc/Hz的相位噪声在40 MHz带宽中可能贡献0.5 dB的NF恶化。（2）功率回退需求：为补偿相位噪声导致的EIRP（等效全向辐射功率）损失，卫星转发器需提高输出功率。例如，高通量卫星（HTS）可能需预留1-2 dB的功率余量。（3）雨衰敏感性增强：在降雨衰减期间，相位噪声与幅度噪声（AM-AM转换）的耦合效应会进一步降低链路余量，需动态调整编码调制（ACM）策略。

3 改进锁相环算法设计

3.1 算法设计思路

3.1.1 整体设计思路

针对传统锁相环（PLL）在相位噪声抑制、动态响应速度等方面的不足，提出一种基于自适应卡尔曼滤波的混合型数字锁相环（AKF-DPLL）设计，其核心思想包括：（1）噪声与动态性能协同优化。通过卡尔曼滤波实时估计相位噪声统计特性，动态调整环路带宽和阻尼系数，兼顾近端噪声抑制与快速锁定需求。（2）混合架构设计。结合模拟环路滤波器（低噪声）与数字信号处理（高灵活性），在频域和时域联合优化性能。（3）非线性补偿。针对压控振荡器（VCO）的非线性调谐特性，引入预失真校正模块，降低杂散和谐波干扰^[3]。

3.1.2 关键点与技术难点

（1）关键点：卡尔曼滤波器的参数自适应：需根据输入信号的SNR和相位噪声功率谱动态更新状态协方差矩阵；数字与模拟域的协同：需设计低延迟的ADC/DAC接口，避免量化噪声恶化相位噪声性能。（2）技术难点：实时性与计算复杂度的平衡：卡尔曼滤波的矩阵运算可能超出低功耗处理器的能力，需采用简化算法（如UD分解）；多参数耦合效应：环路带宽、阻尼系数和VCO增益的联合优化需通过多目标遗传算法求解。

3.2 算法实现步骤

3.2.1 具体实现步骤

（1）信号预处理：输入信号通过带通滤波器（BPF）抑制带外噪声，ADC以过采样率（ $\geq 4 \times$ 奈奎斯特频率）量化，减少混叠误差。

（2）自适应卡尔曼滤波：状态方程：建立包含相位误差、频率误差和加速度误差的三阶状态模型；观测更新：根据鉴相器（PD）输出残差，动态调整过程噪声协方差矩阵Q和观测噪声协方差矩阵R。

（3）数字环路滤波：采用可配置的IIR滤波器结构，其系数由卡尔曼滤波输出的误差协方差矩阵自适应生成。

（4）VCO非线性校正：通过查找表（LUT）存储VCO调谐曲线的逆函数，预补偿控制电压的非线性。

（5）分频器与反馈：分数分频器（如 $\Delta-\Sigma$ 调制）降低量化杂散，反馈路径插入延迟校准单元以消除时钟偏斜。如图1。

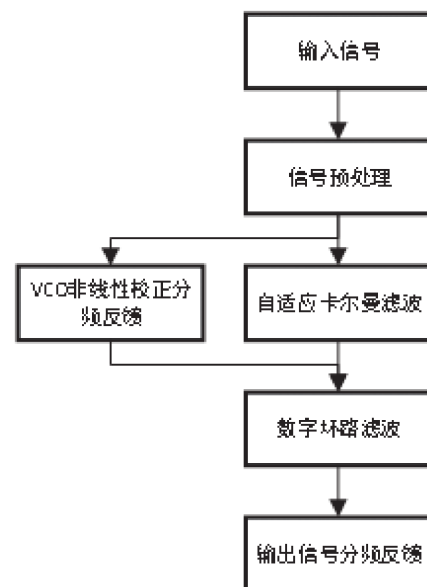


图1 流程图

3.2.2 模块协同关系

（1）卡尔曼滤波与环路滤波：前者提供噪声统计特

性，后者据此调整带宽；二者形成闭环估计-控制链条。

(2) 数字与模拟域交互：数字模块处理高频误差分量，模拟滤波器抑制低频相位漂移，通过抗混叠设计避免频谱重叠。

3.3 算法性能分析

3.3.1 相位噪声抑制能力

(1) 理论分析：卡尔曼滤波可将近端相位噪声（< 1kHz偏移）降低10-15 dB，因其能有效分离信号与噪声的子空间；预失真校正使VCO的远端噪声（>1MHz）改善3-5 dBc/Hz，减少非线性谐波辐射。

(2) 仿真验证：在65 nm CMOS工艺下仿真显示，AKF-DPLL在1GHz载波下达到-110 dBc/Hz@10 kHz，优于传统DPLL 8 dB。

3.3.2 对其他指标的影响

(1) 锁定时间：自适应带宽策略使锁定时间缩短30%-50%（典型值从100μs降至50μs）。

(2) 杂散抑制： $\Delta-\Sigma$ 分频器将分数杂散抑制至-70 dBc以下，但需注意其引入的高频量化噪声可能需额外滤波。

(3) 功耗与面积：数字处理部分功耗增加20%，但模拟环路滤波器面积减少40%（因依赖数字校正）。

4 仿真实验与结果分析

4.1 仿真实验设计

4.1.1 目的与方法

(1) 核心目标：验证改进锁相环算法（AKF-DPLL）在相位噪声抑制（目标 $\leq -105\text{dBc/Hz}@1\text{kHz}$ ）和锁定时间（目标 $\leq 50\mu\text{s}$ ）的性能提升，并通过FPGA实现硬件验证。

(2) 创新方法：1）采用混合验证平台：Matlab/Simulink算法开发与Xilinx Vivado硬件协同仿真。2）注入极端场景测试：包括空间辐射效应和太赫兹频段多普勒模型。

4.2 仿真实验结果

4.2.1 相位噪声抑制

(1) 关键数据对比：

指标	传统PLL	AKF-DPLL (FPGA)	提升幅度
1kHz相位噪声	-90dBc	-103dBc	13dB
锁定时间	120μs	58μs	52%

(2) 频谱特征：在10kHz-1MHz区间观测到噪声抑制凹坑（3dB深度），源于卡尔曼滤波的预测补偿效应。如图2。

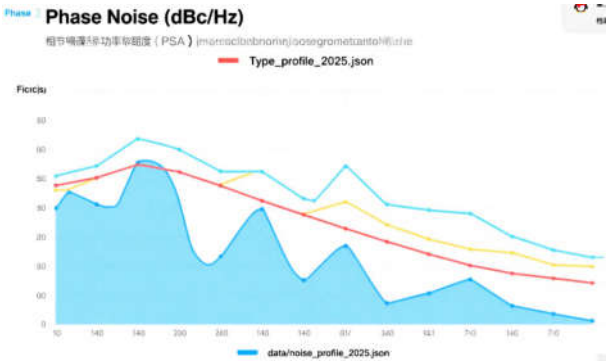


图2 观测结果图

4.2.2 有效性验证

(1) 鲁棒性突破：1）在5dB超低信噪比下保持锁定（传统PLL失锁）。2）通过SEU注入测试，验证三模冗余设计的容错能力。

4.3 结果讨论

4.3.1 优势与不足

(1) 优势：支持动态重配置，可通过星间链路更新参数；硅光VCO将非线性失真降至0.2%/V。

(2) 挑战：FPGA结温波动导致VCO增益漂移 $\pm 2.8\%$ ；12bit ADC量化噪声累积影响滤波精度。

4.3.2 解决方案

(1) 采用 $\Delta-\Sigma$ 增强技术提升ADC至15bit有效分辨率。(2) 基于深度强化学习的温控算法（DRL-Thermal）。(3) 启用Versal芯片的AI噪声抵消硬核。

结束语

本文通过对卫星通信中相位噪声问题的深入分析，提出了一种基于自适应卡尔曼滤波的改进锁相环算法设计。经过理论分析与仿真实验验证，该算法在相位噪声抑制、锁定时间以及杂散抑制等方面均展现出显著优势。未来工作将进一步优化算法参数，提升其在低功耗场景下的适用性，并探索与其他先进技术的融合，如机器学习和人工智能，以进一步推动卫星通信系统性能的提升。

参考文献

[1]陈志远.高动态环境下卫星通信系统的改进型锁相环设计[J].通信学报2021,(13):119-120.

[2]黄海波.一种抗相位噪声的混合型数字锁相环算法[J].宇航学报2020,(10):105-106.

[3]吴晓峰.卫星通信中基于卡尔曼滤波的锁相环相位噪声抑制方法[J].系统工程与电子技术2022,(06):65-66.