

多通道并行处理的FPGA通信侦察系统设计

邵东晖 张淑娟

中国电子科技集团公司第三十六研究所 浙江 嘉兴 314011

摘要: 随着现代通信技术的飞速发展,电磁环境日益复杂,通信侦察系统面临着信号种类繁多、频谱密集、处理实时性要求高等严峻挑战。传统的基于通用处理器(CPU/GPU)或数字信号处理器(DSP)的侦察系统在处理多通道、宽带、高动态信号时,往往受限于处理能力与功耗瓶颈。现场可编程门阵列(FPGA)凭借其强大的并行处理能力、低延迟特性和高度可重构性,成为构建高性能通信侦察系统的核心平台。本文提出并设计了一种基于多通道并行处理架构的FPGA通信侦察系统。该系统采用多通道射频前端并行采集、FPGA内嵌高速数字下变频(DDC)、多通道FFT频谱分析、信号检测与参数估计等模块,并通过高速接口与上位机协同工作。文章详细阐述了系统整体架构、关键模块设计、并行处理策略及资源优化方法,并通过仿真与实测试验了系统在多信号并发处理、频谱感知精度与实时性方面的优越性能。实验结果表明,该系统可同时处理8个200MHz带宽的通信信号通道,在100%占空比下实现毫秒级频谱刷新率,满足现代复杂电磁环境下通信侦察任务的需求。

关键词: FPGA; 通信侦察; 多通道并行处理; 数字下变频; 频谱感知; 信号检测

引言

通信侦察是电子战和频谱管理中的关键技术,其核心任务是在复杂的电磁环境中实时截获、识别、定位和分析敌方或未知通信信号,为态势感知、干扰决策和频谱管控提供关键情报。随着5G/6G、软件定义无线电(SDR)、跳频扩频等先进通信技术的广泛应用,通信信号呈现出宽带化、低截获概率(LPI)、高动态、密集复用等特征,对侦察系统的处理能力提出了前所未有的挑战。传统侦察系统多采用“射频前端+ADC+DSP/CPU”的串行处理架构。该架构在处理单通道窄带信号时表现良好,但在面对多通道、大带宽信号时,其串行处理模式导致处理延迟高、吞吐量不足,难以满足实时性要求。此外,DSP和CPU的功耗较高,不利于部署在资源受限的平台(如无人机、单兵设备)上。FPGA作为一种可编程逻辑器件,其内部包含大量可配置逻辑单元(CLB)、专用数字信号处理单元(DSPSlice)和高速块存储器(BRAM),支持真正的硬件级并行处理。通过合理设计,FPGA可以在一个时钟周期内同时处理多个数据流,极大提升系统吞吐量与实时性。因此,基于FPGA构建多通道并行处理的通信侦察系统,成为解决上述挑战的有效途径。

1 系统总体架构设计

本系统采用“多通道射频前端+高速ADC+FPGA核心处理+上位机控制与显示”的分层架构,如图1所示。

(1) 射频前端模块: 包含8路独立的射频接收通道,每路覆盖2~6GHz频段,支持自动增益控制(AGC)和带

通滤波,确保信号在ADC动态范围内。



图1: 系统总体架构框图

(2) 高速ADC模块: 采用8通道、14位、采样率高达1GSPS的JESD204B接口ADC芯片(如ADI的AD9689),将模拟信号转换为数字信号,并通过高速串行链路送入FPGA^[1]。

(3) FPGA核心处理模块: 作为系统核心,承担所有实时信号处理任务。选用XilinxUltraScale+系列FPGA(如xcvu9p),其具备丰富的DSP资源(> 6000

个DSP48E2)、高速收发器(支持JESD204B)和大容量BRAM。

(4) 上位机模块: 通过PCIe或10GbE接口与FPGA通信, 负责系统配置、参数下发、结果接收、频谱显示与信号分析。

系统工作流程如下: 射频前端接收空间电磁信号, 经滤波、放大后送入ADC; ADC对8路信号同步采样, 输出数字IQ数据流; FPGA通过JESD204BIP核接收数据, 进行通道对齐与解帧; FPGA内部并行执行DDC、FFT、信号检测、参数估计等算法; 处理结果(如频谱图、信号中心频率、带宽、调制类型等)通过高速接口上传至上位机; 上位机进行可视化展示与高级分析。

2 关键模块设计与实现

2.1 多通道数字下变频模块

数字下变频(DDC)是将高速宽带ADC输出的实采样数据转换为低速率复基带信号的关键环节。本系统为每一路接收通道配置独立的DDC处理链, 实现完全并行的数据路径, 避免通道间干扰。每条DDC链由数控振荡器(NCO)、混频器、低通滤波器和抽取器组成。NCO采用32位相位累加器, 通过CORDIC算法或查找表生成高精度的正交本振信号(cos和sin), 用于与输入信号混频, 实现频谱搬移。混频后的信号经过多级半带滤波器进行抽取, 逐步降低数据速率^[2]。例如, 从1GSPS抽取至125MSPS, 抽取因子为8。该结构在保证抗混叠性能的同时, 显著降低了后续处理模块的数据吞吐压力。为优化资源利用, 8路DDC共享NCO频率控制逻辑, 但各自的数据通路完全独立, 既节省了逻辑资源, 又保障了通道隔离度。经资源评估, 8路DDC共消耗约1200个DSPslice和8MBBRAM, 在FPGA资源预算内具有良好的可扩展性。

2.2 多通道并行FFT频谱分析模块

频谱分析是通信侦察的基础功能, 用于揭示信号在频域的分布特征。本系统在每路DDC输出后接一个独立的FFT引擎, 形成8路并行频谱分析通道。FFT点数支持动态配置(如4096或8192点), 以在频率分辨率与处理延迟之间取得平衡。FFT核采用Xilinx官方IP, 配置为流式输入模式, 支持连续数据流处理, 无需帧间停顿。为提升弱信号检测能力, 系统引入50%重叠的窗口处理机制, 并在FFT前施加汉宁窗, 有效抑制频谱泄漏效应。尽管重叠处理增加了约一倍的计算量, 但其带来的检测灵敏度提升对于复杂电磁环境下的侦察任务至关重要。FFT输出的复数频谱经幅度平方运算后生成功率谱密度(PSD), 作为后续信号检测的输入。整个FFT处理链在

FPGA内部以流水线方式运行, 确保每路通道的频谱更新延迟稳定可控。

2.3 信号检测与参数估计模块

在获得各通道的功率谱后, 系统需自动识别信号存在并估计其关键参数。该模块同样采用并行流水线架构, 在FPGA内硬线实现恒虚警率(CFAR)检测、信号聚类与初步参数提取。具体而言, 系统在每路频谱上并行执行单元平均CFAR(CA-CFAR)算法, 动态计算局部噪声背景并设定自适应检测门限, 从而有效识别超出噪声的信号峰值。随后, 对相邻频点上的检测结果进行邻域聚类, 将属于同一通信信号的频谱分量合并, 进而估算信号的中心频率与占用带宽^[3]。为进一步提升情报价值, 系统还集成了轻量级调制识别逻辑, 通过对信号片段计算高阶统计量(如谱相关函数)或提取时频特征, 初步判断其调制类型(如BPSK、QPSK或OFDM)。所有上述操作均在FPGA逻辑中完成, 处理延迟控制在微秒级, 确保系统整体响应速度满足实时侦察要求。

3 并行处理策略与资源优化

3.1 数据流并行与任务并行结合

本系统在架构设计上深度融合了数据流并行与任务并行两种策略。一方面, 8路射频通道从ADC输入到参数输出的整个处理链完全独立, 形成8条并行数据流, 互不干扰, 极大提升了系统吞吐能力; 另一方面, 在单通道内部, DDC、FFT、检测等处理阶段以深度流水线方式组织, 数据在各模块间逐级传递, 无需等待前一帧处理完成即可启动下一帧计算。这种混合并行模式使得FPGA的计算资源得到充分利用, 即使在高负载工况下, 系统仍能维持稳定的处理吞吐率。例如, 当第一路信号正处于FFT计算阶段时, 第二路可能正在进行DDC抽取, 而第三路已完成参数估计并准备上传结果, 整个系统呈现出高度重叠、高效协同的运行状态。

3.2 资源复用与共享机制

为在有限的FPGA资源下实现最大处理能力, 系统在多个层面实施资源优化。首先, 在控制逻辑层面, 8路DDC的NCO频率与相位更新由同一状态机统一调度, 仅保留独立的数据路径, 显著减少了控制逻辑的重复开销。其次, 在存储管理方面, FFT输入与输出端均采用乒乓缓存(Ping-PongBuffer)结构, 利用双端口BRAM实现读写操作的并行化, 避免因存储访问冲突导致的流水线停顿^[4]。此外, 在资源紧张场景下, 系统支持动态重构策略, 例如将8路信号分时复用至较少数量的FFT核(如2个), 通过牺牲部分并行度换取资源节省, 从而适应不

同规模的部署需求。这种灵活的资源调度机制增强了系统的适应性与可扩展性。

3.3 时序约束与功耗控制

系统采用多时钟域设计以平衡性能与功耗。ADC接口工作在500MHz高速时钟域，以匹配JESD204B链路速率；而核心信号处理模块则运行在300MHz时钟域，兼顾计算效率与功耗。跨时钟域数据传输通过异步FIFO实现，确保数据完整性与时序稳定性。在功耗管理方面，系统引入动态电源门控机制：当某通道长时间无信号输入时，FPGA可自动关闭该通道的DDC与FFT逻辑，仅保留基本监控功能，待信号恢复后再重新激活。经Vivado工具综合与实现，系统在xcvu9p器件上占用约45%的LUT、38%的触发器、62%的DSP资源和55%的BRAM，典型工况下整板功耗约为28瓦，展现出优异的能效比。

4 系统测试与性能分析

4.1 测试平台搭建

搭建硬件测试平台，包含：

8路信号发生器（KeysightMXG）模拟不同通信信号；
自研射频前端与ADC板卡；
XilinxVCU118开发板（搭载xcvu9p）；
上位机（IntelI7,32GBRAM）。

4.2 功能验证

（1）多信号并发处理：同时输入8路不同中心频率（2.1–5.9GHz）、不同带宽（10–200MHz）、不同调制方式的信号。系统成功检测并分离所有信号，参数估计误差 < 1%。

（2）频谱刷新率：在8×200MHz带宽下，系统实现1.2kHz频谱刷新率（即每0.83ms更新一次全频谱），满足实时侦察需求。

（3）灵敏度测试：在-90dBm输入功率下，系统仍能可靠检测信号（SNR > 6dB）。

4.3 对比分析

与传统DSP方案（TIC6678，8核）对比：

表1：与传统方案的对比

指标	FPGA方案	DSP方案
处理延迟	< 2ms	> 15ms
功耗	28W	45W
通道数（200MHz）	8	2
可重构性	高（可重配置）	低（软件更新）

结果表明，FPGA方案在实时性、能效比和并行处理能力上具有显著优势。

5 结语

本文设计并实现了一种基于FPGA的多通道并行处理通信侦察系统。通过构建8路完全独立的信号处理通道，并在FPGA内部集成高效的数字下变频、频谱分析与信号检测算法，系统在复杂电磁环境下展现出卓越的实时处理能力、高灵敏度与低功耗特性。实验结果表明，该系统能够稳定处理8个200MHz带宽的并发通信信号，频谱刷新率达到毫秒级，各项性能指标均满足现代通信侦察任务的严苛要求。未来工作将围绕智能化与多功能化方向展开。首先，计划在FPGA中集成轻量级神经网络加速器，利用深度学习技术提升调制识别与信号分类的准确率；其次，将系统扩展至多输入多输出（MIMO）架构，结合多天线接收数据，实现信号测向与无源定位功能；

最后，随着高速ADC与新一代自适应计算加速平台（如XilinxVersalACAP）的发展，系统将进一步支持单通道1GHz以上的瞬时带宽处理，以应对未来6G及太赫兹通信带来的侦察挑战。本系统的设计理念与工程实践，可为新一代智能电子战装备、频谱监测网络及认知无线电系统提供坚实的技术支撑。

参考文献

- [1]陈伟,吴胜华,田海波.基于FPGA的并行通信控制系统设计研究[J].仪器仪表用户,2025,32(05):33-35.
- [2]张丙辛,贾欣蕊.FPGA技术的多路并行通信信号采集系统分析[J].中国设备工程,2021,(02):101-102.
- [3]戴越,张林,刘广民,等.FPGA与MCU自定义并行总线通信设计及实现[J].电子测试,2022,36(05):9-13.
- [4]赵飞燕,蔺勇.基于FPGA技术的多路并行通信信号采集系统[J].现代电子技术,2018,41(19):27-30+35.