

基于MicroBlaze和动态局部重构技术的高保密多任务系统

董 洋 王纪伟 睦永明

四川九州电器集团有限责任公司 四川 绵阳 621000

摘 要: 针对未来军用设备小尺寸、多任务、保密要求高等特点, 本文基于MicroBlaze软核处理器, 采用静态区域与动态可重构区域分离的架构, 结合多重校验机制实现了一种低复杂度的远程FPGA动态局部重构系统。该系统通过HWICAP IP核将比特流传输至内部配置访问端口(Internal Configuration Access Port, ICAP), 实现在软件正常运行时对FPGA特定区域的动态功能更新。实验基于VU3P平台验证, 结果表明, 该系统在保证算法安全性的同时, 在一个处理器上实现了多个功能的分时复用, 提高了硬件资源的利用率。

关键词: FPGA局部重构; MicroBlaze; HWICAP; 高可靠性

1 引言

FPGA因其在处理速度、即时性以及可定制等方面的优势, 被广泛应用于军事航空航天等领域^[1]。特别是在无人机作战平台, 飞机存在失控以及被截获的风险, 而目前机载信号处理功能的时序控制、调制解调以及编译码等主要在FPGA中实现, 因此为了保证信息的安全性, 需要将FPGA重要功能存储在易失性容器中, 在飞机起飞前进行远程加载^[2]。

此外, 随着机载航电系统的发展, 功能越来越复杂, 集成度越来越高, 对FPGA的资源利用率、功耗以及成本等方面提出了更高的要求。动态重构技术可以在FPGA运行时切换FPGA的配置资源, 实现多个任务功能在单个FPGA上的时分复用, 从而提高资源利用率, 降低功耗^[3]。该技术分为动态全局重构和动态局部重构, 动态全局重构将FPGA的整个逻辑资源擦除, 并写入一个新的配置, 该方案可能会导致系统出现暂停, 且不利于系统运行参数的保存; 动态局部重构为FPGA划分一块可重构区域, 在系统运行时只改变该区域的逻辑配置, 在不影响FPGA基本功能的同时, 实现快速局部重构^[4]。

本文提出了一种基于MicroBlaze和动态局部重构技术的高保密多任务系统。该系统基于MicroBlaze, 从以太网口分段接收局部重构比特流, 并由处理器写入HWICAP IP核, 进行FPGA局部重构, 完成多任务的动态加载与应用。实现了小尺寸、多任务、保密性高的无人机机载软件应用要求。

2 动态局部重构技术原理

动态局部重构技术将FPGA划分为静态区域以及可重构区域^[5]。静态区域包含系统中必须持续运行的基础逻辑, 如软核处理器、存储控制器、通信接口等。该区域的逻辑在编译时确定, 并且在系统生命周期内保持不

变。可重构区域是FPGA中一块或多块被严格界定边界的逻辑分区, 可在此区域动态加载不同的模块, 从而实现不同功能。这些模块必须遵循完全一致的对外接口协议, 以确保与静态区域的正确通信。

通过ICAP原语可以直接访问FPGA内部的配置存储器, 从而在FPGA运行时将局部区域的配置数据动态加载到配置存储器中^[6]。ICAP在加载FPGA程序时, 具有复杂的时序, 硬件内部配置访问端口(Hardware Internal Configuration Access Port, HWICAP)作为一个重构控制器, 结构框图如图1所示, 内部包含了状态机和FIFO缓冲器, 将ICAP接口转换为AXI Lite总线, 显著简化了重构控制逻辑的设计复杂度^[4]。

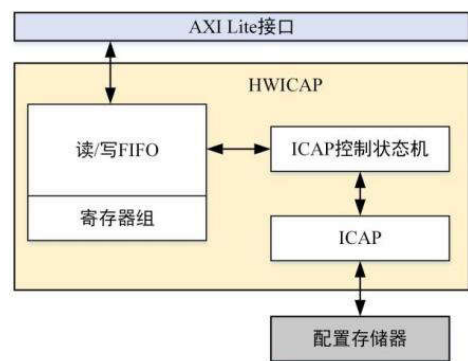


图1 HWICAP结构框图

3 系统设计与实现

3.1 系统整体架构

本系统设计的核心是构建一条从PC端将不同核心功能BIT流文件, 通过以太网加载到设备FPGA中进行时分复用。

为减少设备尺寸, 设备仅由FPGA及必要的外围器件组成, 如图2所示。FPGA静态区域主要包含MicroBlaze软核处理器、HWICAP核、局部重配置解耦器(Partial

Reconfiguration Decoupler, PRD) IP核等基础功能模块。MicroBlaze处理器作为FPGA芯片整个控制核心,用于接收和验证比特流以及控制重构过程的执行。HWICAP IP核,用于实现动态区域的端口配置作用。为确保动态可重构区域与静态区域在重构过程中的信号完整性与系统稳定性,PRD IP核用于在动态重构过程中,安全地将

正在被重构的分区与系统中其余仍在运行的逻辑解耦。动态重构区域用于运行保密要求高的核心功能,其中包括数字信号处理、业务逻辑处理等功能代码。设备掉电后,动态重构区域内运行的功能代码会消失,从而保证了系统的保密性。

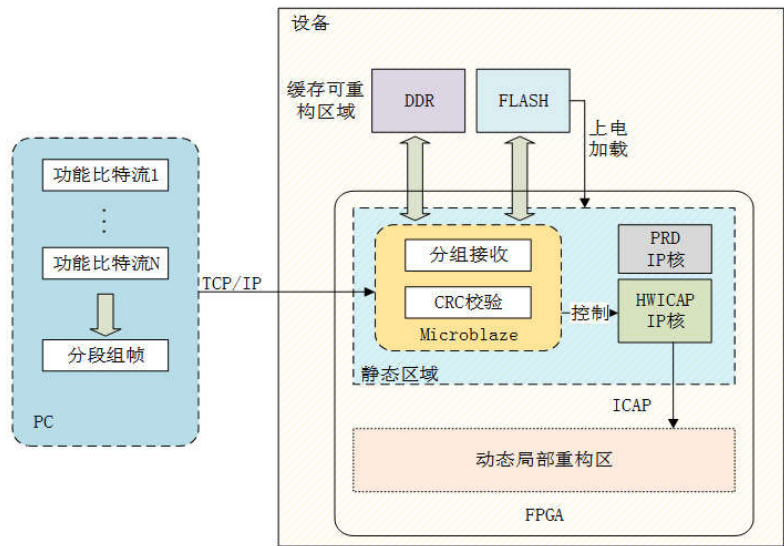


图2 基于MicroBlaze和动态局部重构技术的高保密多任务系统框图

3.2 局部动态重构过程

设备上电后, FPGA的基础功能配置从FLASH加载到FPGA的静态区域中。核心功能BIT流存储在PC机上,通过TCP/IP传输到MicroBlaze处理器。考虑到一次性传输整个文件时,由于外部电磁环境影响,可能会导致传输过程中比特流文件损坏,因此本系统采用分段组帧方式传输,将比特流文件按固定大小(1024 Byte)进行分组传输。此外为进一步提升可靠性, MicroBlaze处理器在接收到数据帧后,对于每一帧数据都采用CRC-16-CCITT校验算法^[7],校验未通过时,采用重传机制,确保比特流在传输过程中的准确性。帧校验通过后,被缓存到DDR中,等待指令进行动态局部重构。

当MicroBlaze接收到某个功能的重构命令后,在重构前, PRD在处理器控制下对动态区域与静态区域信号进行解耦,暂时断开数据通路,以防止总线冲突或亚稳态。随后将DDR中对应功能的配置数据写入HWICAP的数据寄存器和状态寄存器,从而间接控制ICAP。ICAP接收配置数据并解析,最终写入到FPGA配置存储器中指定的帧地址,从而修改目标可重构区域的逻辑功能。配置数据写入完成后, MicroBlaze控制总线宏进行重新耦合,以完成动态局部重构。

4 实验验证

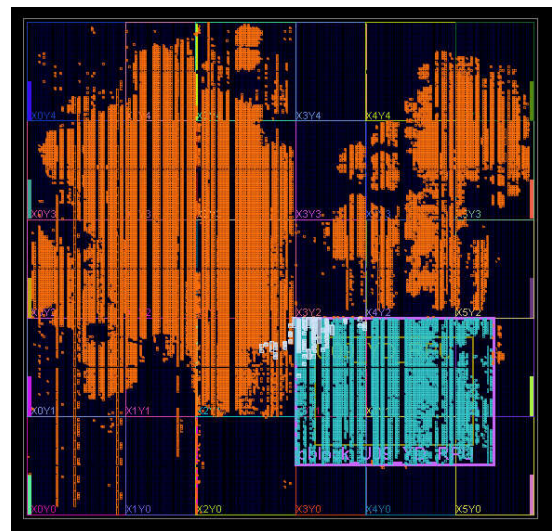


图3 可重构区域的分区大小和位置

本文采用VU3P芯片作为验证平台,分别从资源利用率、系统可靠性以及重构时间方面对远程动态局部可重构系统进行了验证。首先,用Vivado工具分别生成静态区域比特流文件以及动态区域比特流文件,可重构分区的分区大小和位置如图3所示。图4展示了信号处理功能的局部重构模块的资源利用率。

Site Type	Available	Used	% Util
CLB LUTs	47520	19076	40.14
LUT as Logic	47520	18911	39.80
LUT as Memory	24000	165	0.69
CLB Registers	95040	27179	28.60
Register as Flip Flop	95040	27179	28.60
Register as Latch	95040	0	0.00
CARRY8	5940	1376	23.16
F7 Muxes	23760	3003	12.64
F8 Muxes	11880	1462	12.31
F9 Muxes	5940	0	0.00
Block RAM Tile	72	54.50	75.69
RAMB36/FIFO	72	0	0.00
RAMB18	144	109	75.69
URAM	48	0	0.00
DSPs	252	6	2.38
Bonded IOB	52	0	0.00
GLOBAL CLOCK BUFFERS	36	0	0.00
BUFGCE	24	0	0.00
BUFGCE_DIV	4	0	0.00
BUFGCTRL*	8	0	0.00
PLL	2	0	0.00
MMCM	1	0	0.00

图4 可重构区域的资源利用率

从图中可以看出该模块CLB LUTs的使用率达到了40.14%，编码、解码等信号处理功能在局部重构区占用了这些CLB资源，这些资源仅在功能需要时才进行配置，提高了资源的总体利用率。在内存资源方面，Block RAM Tile的使用率为75.69%，其中RAMB18占用了大部分资源。此外，由于系统的时钟、接口等模块配置在静态区域，因此Global Clock Buffer和Bonded IOB的占用率较低。



图5 加载界面

表1 FPGA重构性能测试

功能模块规模 (K)	测试次数	平均时间 (ms)	成功率
2595	200	382	100%
4439	200	646	100%

在生成比特流后，将两个不同大小的可重构功能模块比特流文件通过PC加载软件加载到FPGA，加载软件界面如图5所示。表1展示了功能模块规模分别为2595k及4439k的两个部分重构比特流进行200次加载时所用的平均重构时间以及重构成功率。通过在加载完成后，读取FPGA指定寄存器，从而确定软件加载成功，并将时间打印到终端。其中，规模为2595k的功能模块重构平均时间为382ms，规模为4439k的功能模块重构平均时间为646ms，且在200次测试中，成功率均能达到100%。

5 结论

本研究设计并实现了一个高保密性的FPGA动态局部重构系统。通过静态区域与动态可重构区域的分离设计，既保证了系统的稳定性，又能保证系统掉电后核心代码能立刻销毁。实验结果表明，该系统在配置数据可靠性保证和资源高效利用方面都具有良好表现。

系统的主要优势包括：通过动态重构机制实现核心算法的安全保护；采用分组的校验传输协议确保数据传输的可靠性；建立完善的重构流程控制保证系统稳定性。这些特性使得该系统特别适用于对保密要求较高的军用无人系统。

参考文献

[1]黎润舟. 基于Zynq异构平台的无人机目标检测与控制模块设计[D]. 中国电子科技集团公司电子科学研究院, 2024.

[2]刘立峰,陈少峰.基于模块化的FPGA局部动态重构设计与实现[J].现代导航,2024,15(03):205-210+220.

[3]陈光威,吴翼虎,谭加加.局部动态可重构FPGA的备份与恢复技术[J].集成电路与嵌入式系统,2024,24(04):57-62.

[4]Liu H, Qiu Z, Pan W, et al. Low-cost and programmable CRC implementation based on FPGA[J]. IEEE transactions on circuits and systems II: Express briefs, 2020, 68(1): 211-215.

[5]符超,杨涛,钱宏文,等.一种基于DSP的全局动态可重构方法[J].集成电路与嵌入式系统,2024,24(01):64-68.

[6]周炫锦,蔡刚,黄志洪.支持FPGA动态重构的RISC-V扩展指令集设计与实现[J].计算机工程,2025,51(05):229-238.

[7]罗长洲,马梦宇,李萌,等.CRC校验码软件生成技术原理分析[J].计算机仿真,2024,41(03):158-161+481.