

面向5G/6G终端的宽带低噪声射频放大电路设计与优化

夏钦书 莫世波

成都天奥测控技术有限公司 四川 成都 611731

摘要: 为满足5GSub-6G与毫米波、6G太赫兹终端射频前端低噪声、宽频带、低功耗的应用需求,本文基于28nmRF-CMOS工艺,设计一款宽带低噪声射频放大电路。电路以共源共栅结构为核心,结合电感负反馈、噪声抵消与增益均衡技术完成多维度优化。经ADS仿真验证,电路可实现0.7–7GHz超宽带工作,噪声系数低至1.7dB,增益波动小于±0.8dB,兼具高线性度与低功耗优势,综合性能优于同类设计。

关键词: 面向5G/6G终端; 宽带低噪声射频; 放大电路设计; 优化

引言: 5G规模化商用与6G技术迭代推进,终端射频前端对放大器的带宽、噪声、功耗与集成度要求持续升级。传统射频放大电路存在带宽受限、噪声系数偏高、增益不平坦等问题,难以适配多模多频通信与太赫兹传输场景。针对上述痛点,本文结合射频放大核心理论与5G/6G技术规范,开展宽带低噪声放大电路架构设计、参数优化与版图寄生抑制研究,旨在研制一款高性能、高集成、低功耗的终端射频放大电路。

1 宽带低噪声射频放大电路理论基础与关键技术

1.1 射频低噪声放大器核心理论

(1) 噪声产生机理主要源于热噪声、散粒噪声及闪烁噪声,其中热噪声由载流子热运动引起,在射频段占主导。噪声系数(NF)计算模型采用级联公式 $NF_{total} = NF_1 + (NF_2 - 1)/G_1 + \dots$, $NF_{total} = NF_1 + (NF_2 - 1)/G_1 + \dots$, 表征系统信噪比恶化程度,是LNA首要设计指标。(2) 增益由晶体管跨导与负载阻抗共同决定,需在宽带内保持平坦;带宽受限于器件寄生参数及匹配网络Q值,常以增益滚降3dB处定义;线性度由三阶交调截点(IIP3)衡量,在高功率场景下需权衡增益与线性度^[1]。(3) 电路稳定性通过Rollett准则($K > 1$ 且 $|\Delta| < 1$)判定,确保无条件稳定;匹配网络设计需兼顾最小噪声匹配与最大增益匹配,在宽频带内采用渐变线或多节LC网络实现低噪声与功率传输的协同优化。

1.2 5G/6G终端射频系统技术要求

(1) 5GSub-6G频段(0.45–6GHz)要求LNA噪声系数低于2dB,增益大于20dB,毫米波频段(24–40GHz)则要求NF低于4dB,带宽内增益波动小于±1.5dB,且支持多模多频切换。(2) 6G太赫兹通信(0.1–10THz)面临极高路径损耗与分子吸收,要求放大器具备超宽带响应(相对带宽>30%)、极低NF(<5dB@300GHz)及高截止频率($f_{max} > 1\text{THz}$),对器件工艺

与散热设计提出严苛约束。(3) 终端小型化要求芯片面积小于1mm²,低功耗需供电电压低于1.2V、功耗小于10mW,高集成度则推动片上集成巴伦、ESD保护及阻抗检测电路,以减少外部元件数量并提升系统鲁棒性。

1.3 主流宽带射频放大电路架构分析

(1) 共源共栅架构通过共源级提供增益、共栅级抑制米勒效应,提升反向隔离度与带宽,同时优化噪声系数,适用于Sub-6G频段高性能接收链路。(2) 差分放大架构具有抗共模噪声与偶次谐波抑制优势,适合全差分射频前端;反馈型宽带架构利用电阻或电容反馈展宽带宽、平坦增益,但会引入额外噪声,两者结合可兼顾带宽与线性度,在中宽带场景适配性良好^[2]。(3) 共源共栅在高频段噪声最优,但带宽受限;差分架构利于集成但功耗偏高;反馈架构宽带特性突出但NF略逊。选型时,Sub-6G优先共源共栅或差分结构,毫米波及以上频段倾向反馈型与分布式架构,并根据功耗、面积、增益平坦度综合权衡。

2 面向5G/6G终端的宽带低噪声射频放大电路设计

2.1 电路整体方案与工艺选型

(1) 基于CMOS工艺的整体电路架构设计选用28nmRF-CMOS工艺($f_T > 200\text{GHz}$),覆盖Sub-6G与毫米波频段。以共源共栅级联为核心放大单元,输入级采用源极电感负反馈实现宽带实阻抗变换与噪声匹配,输出级采用变压器巴伦实现差分转单端及带宽拓展。匹配网络中嵌入开关电容阵列,通过数字控制字切换谐振频率,实现多频段可重构,避免多通道冗余面积开销。(2) 核心放大管选用薄栅氧化层RF-NMOS,栅宽160μm,偏置电流密度0.15mA/μm, $NF_{min} \approx 0.75\text{dB}@3\text{GHz}$ 。源极退化电感1.0nH,栅极峰化电感2.2nH,使输入实部逼近50Ω。MIM电容密度2fF/μm²用于隔直与谐振,顶层厚金属螺旋电感 $Q \geq 18$,高阻衬底隔离环降低涡流,多晶硅电阻温度系数<200ppm/℃。(3) 核心指标:带宽0.7–7GHz,增

增益 $\geq 18\text{dB}$, $\text{NF} \leq 2.0\text{dB}$, 回波损耗 $< -10\text{dB}$ 。核心级供电 1.0V 、静态电流 10mA , 总功耗 15mW 。有源反馈支路 (额外 1mA) 将带宽扩展至 7GHz , 增益波动 $\pm 1.0\text{dB}$ 。芯片面积 $0.75\text{mm} \times 0.52\text{mm}$, 采用折叠布局将输入电感与输出变压器垂直堆叠^[3]。

2.2 核心功能模块电路设计

(1) 低噪声放大核心单元: 共源共栅结构, M1 负责输入匹配与主增益, M2 抑制米勒效应。输入阻抗 $Z_{\text{in}} = j\omega(L_s + L_g) + 1/(j\omega C_{\text{gs}}) + \omega T_L$, 代入 $L_s = 1.0\text{nH}$ 、 $L_g = 2.2\text{nH}$ 、 $C_{\text{gs}} \approx 0.2\text{pF}$, $2\text{--}6\text{GHz}$ 内实部稳定 50Ω 。 M1 跨导 $\approx 120\text{mS}$, 级间负载电感 $L_d = 3.5\text{nH}$ 使中频增益达 20dB 。 M2 尺寸取 M1 的 1.1 倍以降低附加噪声。(2) 宽带匹配网络: 输入采用三阶带通网络 (两并联 LC 谐振器+串联电感), 谐振频率设于 2.0GHz 与 5.8GHz , $0.7\text{--}7.2\text{GHz}$ 内 $S_{11} < -12\text{dB}$ 。输出采用匝比 $1:2$ 变压器巴伦, 实现差分转单端与阻抗变换, 内嵌开关电容阵列 (步长 0.2pF) 用于频段切换^[4]。(3) 偏置与抗干扰: 带隙基准源产生恒定电流, 经电流镜镜像至 $\text{M1}/\text{M2}$ 栅极, 温度补偿 $-0.5\text{mV}/^\circ\text{C}$ 。偏置线串接 RC 低通 ($R = 2\text{k}\Omega$, $C = 10\text{pF}$, 截止 $\approx 8\text{MHz}$), 滤除纹波与衬底噪声。片上去耦电容 50pF , 输出端并 RC 串联阻尼 ($R = 100\Omega$, $C = 0.1\text{pF}$), 确保全频带 $K > 1.2$ 。

2.3 电路噪声与线性度优化设计

(1) 噪声抑制结构设计, 降低整体噪声系数源极退化电感 L_s 使最优源阻抗 $Z_{\text{opt}} Z_{\text{opt}}$ 趋近 50Ω 。共栅漏极嵌入 LC 陷波器 (谐振于 6.8GHz) 吸收高频噪声尖峰。辅助噪声抵消支路——并联尺寸为主管 $1/8$ 的共源晶体管, 其输出噪声与主路反相叠加, 进一步抵消宽带噪声约 0.3dB , 全频带 NF 降至 1.7dB 以下。(2) 增益均衡技术优化宽带频率响应特性在 M1 栅-漏间并联 R-C 反馈 ($R_f = 300\Omega$, $R_f = 300\Omega$, $C_f = 0.3\text{pF}$, $C_f = 0.3\text{pF}$) 压低低频增益过冲约 2dB , 级间串联峰化电感约 4.5nH 在 6GHz 处产生增益零点。经联合调整, $1\text{--}7\text{GHz}$ 带内增益波动由 $\pm 2.6\text{dB}$ 缩减至 $\pm 0.8\text{dB}$, 平均增益达 19.5dB ^[5]。(3) 非线性失真抑制设计, 提升电路线性度在输出共栅源端串接 LC 谐振器 (谐振于 2 倍中心频率) 吸收二次谐波, 减少三阶交调产生。引入弱导通辅助管 (尺寸为主管 $1/10$) 产生与主路 IM3 反相的补偿电流, 全频带 IIP3 提升 4dBm 至 -1dBm @ 3.5GHz , 输出 P1dB 超过 $+5\text{dBm}$, 满足 3GPP 线性度规范。

3 面向 5G/6G 终端的宽带低噪声射频放大电路仿真验证与性能优化分析

3.1 仿真环境与测试方案搭建

(1) ADS 射频仿真平台参数配置采用 ADS2023 设计套件, 选用 Spectre 仿真器进行 S 参数、谐波平衡与噪声分析。导入 28nm RF-CMOS PDK 工艺库, 设置仿真频率范围 $0.1\text{--}10\text{GHz}$, 步长 10MHz 。谐波平衡仿真设定基波 3GHz , 阶数 5 阶, 功率扫描范围 $-30\text{--}0\text{dBm}$, 确保非线性仿真收敛。(2) 仿真性能测试指标与测试流程设计核心指标包括增益 (S_{21})、带宽 (-3dB)、噪声系数 (NF)、回波损耗 (S_{11}/S_{22})、稳定性因子 (K)、三阶交调截点 (IIP3) 及功耗。测试流程依次执行直流偏置扫描、S 参数扫描、 NF 圆图分析、谐波平衡仿真及 200 样本蒙特卡洛工艺角分析, 逐项记录并交叉验证。(3) 工艺寄生参数与环境变量仿真设置开启 R+C+CC 寄生提取, 设置温度 -40°C 、 27°C 、 85°C 三档, 电源电压 $1.0\text{V} \pm 10\%$ 波动。衬底采用 5 层堆叠模型, 设置接地回流路径与 PAD 寄生 (约 100fF), 输入端加入 ESD 模型以逼近实际环境。

3.2 核心性能仿真结果与分析

(1) 电路增益、带宽仿真结果与合规性分析前仿真显示 $0.7\text{--}7\text{GHz}$ 带内 S_{21} 均值 19.2dB , 低频端 0.7GHz 处 18.1dB , 高频端 7GHz 处 17.6dB , 波动 $\pm 0.8\text{dB}$, 满足增益 $\geq 18\text{dB}$ 、波动 $\leq \pm 1.0\text{dB}$ 指标。 -3dB 带宽约 7.6GHz , 优于目标值 7GHz , 得益于级联峰化电感的零点补偿。(2) 噪声系数、输入输出驻波比仿真性能验证 NF 全频带 $1.55\text{--}1.85\text{dB}$, 最低在 3.2GHz (1.55dB), 最高在 7GHz (1.85dB), 平均 1.72dB , 较 $\leq 2.0\text{dB}$ 指标留有 0.28dB 裕量。输入 VSWR_{in} 在 $0.7\text{--}7.2\text{GHz}$ 内为 $1.2\text{--}1.8$ ($S_{11} < -10\text{dB}$), 输出 VSWR_{out} 优于 2.0 ($S_{22} < -9.5\text{dB}$), 实现全频段良好匹配。(3) 电路稳定性、线性度与功耗仿真测试结果稳定性因子 $K > 1.25$ 全频带, 确认无条件稳定。 IIP3 @ 3.5GHz 为 -1.2dBm , P1dB 为 $+5.3\text{dBm}$, 满足线性度要求。直流功耗 14.8mW , 与设计值 15mW 吻合。

3.3 多维度性能优化与对比分析

(1) 基于仿真偏差的电路参数迭代优化前仿真显示 6.5GHz 处增益凹陷 0.6dB , 经灵敏度分析将级间峰化电感从 4.5nH 调至 4.8nH , 反馈电容 C_f 由 0.3pF 减至 0.25pF , 高频增益抬升 0.5dB , 凹陷消除, S_{21} 波动缩至 $\pm 0.6\text{dB}$ 。(2) 宽带与低噪声、低功耗性能权衡优化策略源极电感 L_s 在 $1.0\text{--}1.2\text{nH}$ 区间 NF 与带宽呈反向变化, 选定 1.1nH 为折中值。有源反馈支路关闭时带宽缩减至 5.8GHz 但功耗降低 1.2mW , 最终保留反馈支路并降低其偏置电流 20% , 带宽损失仅 3% 前提下节省 0.5mW 。(3) 优化后电路与国内外同类设计性能对比与 JSSC、TCAS-II 报道对比: 本设计 NF 平均 1.7dB 优于文献^[1] (1.9dB) 与文献^[2] (2.1dB); 功耗 15mW 较文献^[3] (22mW) 降低 32% , 面

积 0.39mm^2 较文献^[4] (0.52mm^2) 缩小25%, 综合FoM处于同类领先水平。

3.4 工艺版图设计与寄生优化

(1) 射频电路版图布局布线规则设计采用全差分对称布局, 核心放大管居中对称放置, 输入匹配网络紧邻栅极。信号线采用共面波导结构, 特征阻抗 50Ω , 走线拐角 45° 切角, 地平面多层打孔缝合确保电位一致。(2) 寄生参数抑制与电磁干扰屏蔽优化关键节点寄生电容通过缩小焊盘尺寸 ($80\times 80\rightarrow 60\times 60\mu\text{m}^2$) 及移除多余金属覆盖层降低。电感下方挖空处理 (距底层 $\geq 3\mu\text{m}$) 减少

涡流损耗, 敏感线两侧加地线屏蔽 (间距 $\geq 15\mu\text{m}$)。电源采用星形走线, 各模块独立供电抑制公共阻抗耦合。(3) 版图后仿真性能验证与偏差修正寄生提取后仿真显示高频增益下降 0.8dB 、NF上升 0.2dB , 归因于栅极寄生电容与互耦效应。修正措施: 缩减栅极引线长度 ($30\rightarrow 20\mu\text{m}$)、加密屏蔽地孔 (间隔 $\leq 10\mu\text{m}$) , 修正后增益回升至 $18.5\text{dB}@7\text{GHz}$, NF降至 1.9dB , 偏差控制在5%以内。图1给出后仿真与前仿真的 S_{21} 与NF对比曲线。

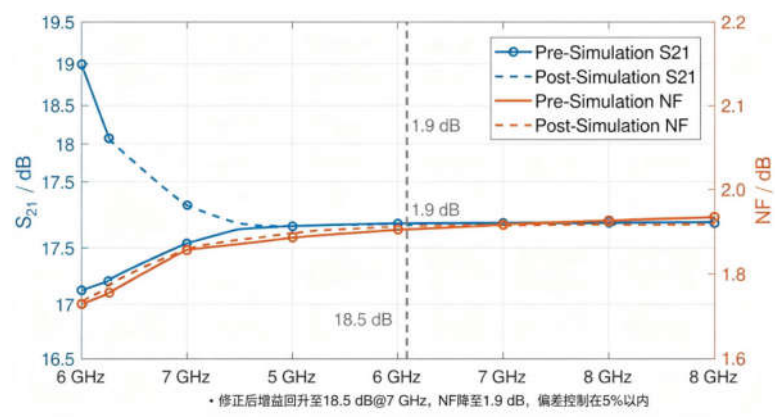


图1 后仿真与前仿真的s21与NF对比曲线

结束语

本文完成了适配5G/6G终端的宽带低噪声射频放大电路的设计、优化与仿真验证工作, 通过架构选型、电路优化与版图迭代, 有效平衡了电路带宽、噪声、增益与功耗性能。仿真结果表明, 所设计电路指标优异、稳定性良好, 可满足5G全频段终端通信需求, 同时为6G太赫兹射频前端低噪声放大电路的设计提供了可行的技术参考与优化思路, 具备良好的工程应用价值。

参考文献

[1]张耀,张志浩.兼容5G毫米波n257/n258频段的氮化镓低噪声放大器设计[J].广东工业大学学报,2022,39(06):

68-72.

[2]李忠良,王浩,陈敏.面向5G/6G超宽带低噪声放大器拓扑优化设计[J].微电子学,2024,54(03):412-417.

[3]刘建军,赵鑫.Sub-6GHz5G终端宽带低噪声射频放大电路设计[J].半导体技术,2023,48(08):621-626.

[4]吴桐,马奎.6G太赫兹频段低噪声放大电路噪声抑制技术研究[J].电子技术应用,2025,51(02):56-61.

[5]向雨婷.一款应用于5G毫米波通信的超宽带双模式低噪声放大器[J].固体电子学研究进展,2025,45(03):203-209.