

# 基于 FPGA 的电子通信系统高速串行接口设计与实现

王 栋 卢 羿 张 琪 代惠康 彭 钧  
武汉烽火信息集成技术有限公司 湖北 武汉 430205

**摘 要:** 针对电子通信系统对高速数据传输、高可靠性的需求, 本文设计并实现基于FPGA的高速串行接口。以 Virtex-6系列FPGA为硬件核心, 选用PCI-Express3.0协议, 采用模块化设计, 完成发送、接收、时钟复位等模块的逻辑设计及硬件电路搭建, 优化信号完整性。通过Modelsim仿真与硬件测试验证, 接口传输速率达8Gbps, 误码率低于 $10^{-12}$ , 功耗控制在15W内, 满足嵌入式通信系统需求, 为高速电子通信提供可靠接口解决方案。

**关键词:** 基于FPGA; 电子通信系统; 高速串行接口; 设计与实现

引言: 随着电子通信技术向高速化、小型化发展, 传统并行接口存在信号线多、串扰严重、传输速率有限等问题, 已无法适配现代通信系统的高带宽需求。FPGA凭借可编程性、高带宽、低时延的优势, 成为高速串行接口设计的核心载体。基于此, 本文围绕电子通信系统实际应用需求, 设计基于FPGA的高速串行接口, 解决信号完整性、协议适配等关键问题, 实现高速稳定的数据传输, 具有重要工程应用价值。

## 1 相关理论与技术基础

### 1.1 FPGA相关技术概述

(1) FPGA即现场可编程门阵列, 核心结构包括可编程逻辑块、可编程互连资源和I/O接口, 工作原理是通过加载配置文件定义硬件功能, 实现灵活重构。其可编程逻辑资源可实现组合逻辑与时序逻辑, 高速收发器(如 GTX核)具备高带宽、低时延特性, 支持多速率调节, 可满足高速串行信号的收发需求, 是高速接口设计的核心硬件支撑。(2) FPGA开发工具以Vivado为核心, 应用流程分为四步: 设计输入通过Verilog/VHDL语言完成逻辑描述; 综合将设计转化为门级网表, 优化逻辑结构; 实现通过布局布线将网表映射到FPGA硬件资源, 确保时序约束满足要求; 下载调试通过JTAG接口将配置文件下载至FPGA, 结合在线逻辑分析仪排查设计缺陷。

### 1.2 高速串行接口核心理论

(1) 高速串行传输以单条信号线传输串行数据, 与并行传输相比, 减少了信号线数量, 降低了线间串扰, 提升了传输速率, 适配长距离传输需求。其关键性能指标包括传输速率(决定数据传输效率)、误码率(衡量传输可靠性, 通常要求低于 $10^{-12}$ ), 此外还包括抖动、眼图等辅助指标。(2) 高速串行传输的关键支撑技术中, 线路编码将二进制数据转化为适合传输的码型, 减少直流分量; 扰码避免长连0/1, 便于时钟恢复; 发送预加重补

偿高频信号衰减; 接收均衡抵消信道损耗, 这些技术协同作用, 保障高速传输的稳定性。

### 1.3 主流高速串行接口协议

(1) PCI-Express协议采用点对点拓扑, 分为物理层、数据链路层和事务层, 支持热插拔, 速率可灵活升级; XAUI协议为4通道串行接口, 速率达10Gbps, 适用于短距离高速互连, 二者均具备成熟的协议规范和广泛的应用场景。(2) 协议选型需结合电子通信系统的速率需求、传输距离、硬件成本及兼容性, 本文结合系统高带宽、低时延的设计需求, 选用PCI-Express3.0协议, 其单通道速率达8Gbps, 可满足高速数据传输需求<sup>[1]</sup>。

### 1.4 信号完整性相关技术

(1) 高速传输中信号完整性的主要影响因素包括反射(由阻抗不匹配导致)、串扰(相邻信号线的电磁耦合)、时序偏差(信号传输时延不一致), 这些问题会导致信号失真, 降低传输可靠性, 甚至引发通信失败。(2) 信号完整性优化方法包括匹配阻抗、合理布局布线(减少信号线长度和交叉)、设置屏蔽层、优化电源供电等, 通过这些方法可有效抑制干扰, 改善信号质量, 为后续高速接口硬件设计提供坚实的理论支撑。

## 2 基于FPGA的电子通信系统高速串行接口设计

### 2.1 接口总体方案设计

(1) 设计需求分析围绕电子通信系统的实际应用场, 明确核心设计指标: 传输速率需达到8Gbps, 满足高速数据实时传输需求; 接口标准采用PCI-Express3.0, 保障与外部设备的兼容性; 功耗控制在15W以内, 适配嵌入式通信系统的低功耗要求; 可靠性方面, 误码率需低于 $10^{-12}$ , 具备抗干扰能力, 可长期稳定运行, 同时需支持热插拔, 提升系统灵活性<sup>[2]</sup>。(2) 总体架构设计采用模块化设计思想, 划分为四大核心功能单元: 发送模块负责数据的编码、并行转串行及预加重处理, 将待传输数据

转换为符合协议规范的高速串行信号；接收模块完成串行信号的接收、均衡、时钟数据恢复及解码，还原原始并行数据；时钟模块提供系统所需的高速同步时钟，保障各模块时序一致；校验模块实现数据传输过程中的误码检测与纠错，提升传输可靠性。整体架构框图清晰划分各模块接口与数据流向，确保各单元协同工作。

## 2.2 FPGA硬件电路设计

FPGA芯片选型结合前文设计指标，选用Virtex-6系列FPGA芯片，该系列芯片集成多个高速GTX收发器，支持最高10Gbps的传输速率，可满足8Gbps的设计需求；芯片内置丰富的可编程逻辑资源和存储资源，能够承载接口各功能模块的逻辑设计，同时具备低功耗、高可靠性的特点，适配电子通信系统的工作环境。芯片资源需求分析表明，需占用至少4个GTX核、5000个逻辑单元及200KB存储资源，确保各模块稳定运行。(2) 高速串行接口硬件电路设计以信号完整性优化为核心：差分信号接口采用阻抗匹配设计，将差分信号线阻抗控制在100Ω，减少信号反射；时钟电路选用高精度晶振，配合FPGA内置的锁相环(PLL)，生成稳定的高速时钟信号，降低时钟抖动；复位电路采用上电复位与手动复位相结合的方式，确保系统上电后正常初始化，避免复位不稳定导致的功能异常；电源电路采用多路稳压设计，为FPGA芯片及各接口模块提供稳定的供电，抑制电源噪声对高速信号的干扰<sup>[3]</sup>。

### 2.3 接口功能模块FPGA逻辑设计

(1) 发送模块逻辑设计基于Verilog语言实现：数据编码模块采用8b/10b编码方式，将8位并行数据转换为10位串行码型，减少直流分量，便于时钟恢复；并行/串行转换模块通过移位寄存器，将编码后的并行数据转换为高速串行信号；预加重控制模块根据信道损耗情况，动态调节信号幅度，补偿高频信号衰减，提升信号传输质量。(2) 接收模块逻辑设计重点解决信号失真与同步问题：串行/并行转换模块将接收的高速串行信号还原为并行数据；时钟数据恢复(CDR)模块通过锁相环跟踪输入信号的时钟，实现时钟与数据的同步；解码模块将10位串行码型解码为8位原始数据；均衡控制模块采用自适应均衡技术，抵消信道损耗和串扰影响；误码检测模块通过校验码对比，实时检测传输过程中的误码，并输出误码提示信号。(3) 时钟与复位模块逻辑设计保障系统稳定运行：时钟模块利用FPGA内置PLL，将外部晶振信号倍频至所需的高速时钟，同时生成各模块的同步时钟，确保时序匹配；复位模块实现上电复位、手动复位和异常复位功能，上电时完成系统初始化，异常情况下及时

复位各模块，避免系统死机，保障接口稳定工作。

## 2.4 协议适配与IP核配置

(1) IP核选型与参数配置结合所选的PCI-Express3.0协议，选用Xilinx公司的PCIe3.0IP核，该IP核支持单通道8Gbps传输速率，具备完整的协议分层架构，可灵活配置参数。参数配置包括：将链路宽度设为x1，传输速率配置为8Gbps，开启误码检测功能，设置合适的时钟频率与复位方式，确保IP核与设计指标一致，同时适配Virtex-6系列FPGA芯片。(2) IP核与自定义逻辑的接口设计是实现数据交互的关键：设计接口逻辑模块，实现IP核与发送、接收模块的信号对接，将自定义逻辑生成的并行数据传输至IP核，由IP核完成协议封装后通过高速串行接口发送；同时将IP核接收并解析后的并行数据传输至接收模块，完成数据还原。接口设计需严格遵循PCI-Express协议规范，确保数据交互的正确性和时序匹配，实现协议适配与自定义逻辑的无缝衔接<sup>[4]</sup>。

## 3 基于FPGA的电子通信系统高速串行接口实现与测试验证

### 3.1 FPGA程序实现与下载

(1) 采用VerilogHDL语言完成各功能模块的逻辑代码编写，结合前文设计的发送、接收、时钟复位及校验模块，分模块编写代码，注重代码的可读性与可维护性，添加详细注释。编写完成后，利用Vivado工具进行语法检查与调试，排查语法错误、逻辑漏洞，随后将各模块代码集成，实现接口整体逻辑功能，确保模块间数据交互顺畅，无接口冲突。(2) 对集成后的程序进行综合与布局布线，在Vivado工具中设置时序约束，重点优化高速信号的时序性能，减少时序偏差，避免因时序不满足导致的数据传输错误。综合布局完成后，生成比特流文件，通过JTAG接口将比特流文件下载至FPGA开发板，完成程序初始化配置，重启开发板后，确认FPGA芯片正常启动，各模块进入就绪状态。

### 3.2 仿真测试

(1) 基于Modelsim仿真工具搭建接口仿真平台，搭建过程中配置仿真库，导入FPGA芯片模型及PCI-ExpressIP核模型，模拟外部通信设备的输入输出信号。设计针对性测试用例，涵盖正常数据传输、异常数据输入、速率切换等场景，确保测试用例能够全面验证接口各功能模块的工作性能。(2) 开展功能仿真与时序仿真：功能仿真重点验证各模块逻辑正确性，检查数据编码、串并转换、误码检测等功能是否正常，确保数据传输准确无误；时序仿真结合实际时序约束，模拟高速传输场景，验证各模块时序是否满足设计要求，排查时序违规、时钟抖动等问

题,确保接口在目标速率下稳定工作。(3)对仿真结果进行详细分析,查看数据传输波形、误码提示信号及时序报告,识别仿真中出现的逻辑错误、时序偏差等问题。针对存在的问题,调整模块逻辑代码、优化时序约束或修改IP核参数,反复仿真验证,直至各模块功能正常、时序满足设计要求,为后续硬件测试奠定基础。

### 3.3 硬件测试

(1)搭建硬件测试平台,将FPGA开发板、示波器、误码仪及外部通信设备正确连接:示波器接入高速串行差分信号接口,用于观测信号波形、检测信号完整性;误码仪与FPGA开发板对接,用于测试数据传输误码率;外部通信设备与FPGA接口连接,模拟实际通信场景,确保各设备接地良好,减少电磁干扰。(2)开展核心性能测试,按照设计指标逐一测试:传输速率测试通过误码仪发送固定速率数据,记录接口实际传输速率,验证是否达到8Gbps要求;误码率测试长时间传输数据,统计误码数量,确认误码率低于 $10^{-12}$ ;信号完整性测试通过示波器观测信号眼图,检查信号抖动、反射等情况,评估信号质量。(3)进行稳定性测试,让接口在正常工作条件下长时间连续运行(不少于72小时),实时监测数据传输状态、设备温度及信号波形,排查接口卡顿、误码突增、死机等异常问题。对测试中出现的不稳定现象,记录相关数据,为后续优化提供依据。

### 3.4 测试结果分析与优化

(1)将硬件测试结果与设计指标进行对比,分析存在的差距及根源:若传输速率未达标,多为时序优化不

足或IP核参数配置不合理;若误码率偏高,可能是信号完整性不佳或校验逻辑存在漏洞;若稳定性不足,大概率是电源噪声或布线干扰导致。(2)针对测试中发现的问题,采取针对性优化措施:硬件层面,调整差分信号线布线、增加滤波电容、优化电源供电,改善信号完整性;逻辑层面,修改模块代码、调整时序约束、优化IP核参数,完善校验逻辑。优化后重新进行测试,直至接口各项性能指标均满足设计需求,确保接口稳定可靠运行。

### 结束语

本文完成了基于FPGA的电子通信系统高速串行接口的设计、实现与测试验证,通过理论分析、逻辑设计、硬件搭建及优化,有效解决了高速传输中的信号失真、时序偏差等问题,各项性能指标均达到设计要求。该接口具备良好兼容性和可扩展性,可灵活适配不同电子通信场景。后续可进一步优化接口速率与功耗,探索多通道并行设计,为更高性能高速通信系统提供技术支撑。

### 参考文献

- [1]毕飞.电子信息技术在高效通信系统优化中的应用[J].中国宽带,2025,21(7):13-15.
- [2]马世昌.基于FPGA的高速数据采集系统设计与实现[J].河北建筑工程学院学报,2025,43(2):260-264.
- [3]王领.基于实时数据采集的高速公路数字化方案探究[J].中国交通信息化,2025,(4):72-77.
- [4]吴立丰.基于FPGA的高速光通信测试系统设计[J].电子设计工程,2021,29(16):126-130.