

集成电路的ESD防护关键技术

姜海滔

中国汽车工程研究院股份有限公司 重庆 401121

摘要: 现代科学技术飞速发展,特别是在电子和资讯科技方面,更是如此。对于集成电路而言,其制程尺寸不断减小,新材料不断被引入,这也给其可靠性带来了诸多不利因素,例如ESD保护元件的设计难度加大,保护电路设计难度加大。但是,随着电子产品在人们日常生活中的应用越来越广泛,集成电路的ESD防护设计就显得尤为重要,它不仅影响着产品的稳定性,也影响着人们的生活品质。

关键词: 集成电路;静电放电;关键技术

1 引言

随着科学技术的发展,对静电的防护也日益引起了人们的关注。静电防护是集成电路制造中的一个重要组成部分,它在制造和应用中起着非常重要的作用。随着IC制程技术的进步,企业对IC芯片的需求也在不断提高,但随着聚合物材料的大量应用,企业对其静电保护的需求也日益增加。对IC进行静电保护,既能提高生产良率,又能保障人身安全。所以,企业在进行ESD保护时,要正确地运用ESD保护技术,以达到提升企业总体利益的目的。

2 ESD防护器件

2.1 电阻设备

在集成电路中,电阻起着“静电放电”保护作用,而在制造过程中,需要使用大量的电阻,这类电阻被称为“无源器件”,它能很好地解决静电、放电等问题。除此以外,在N型线路电阻器上所产生的电流幅值并无明显差别。所以设计人员将采用N型线路电阻器。在IC工作状态,电场减弱时,应着重研究电流与场强的关系。

2.2 二极管

在集成电路中,电阻是最常用的元件,而二极管也是应用最广泛的元件。二极管属于“箝压装置”,其结构相对简单。二极管工作时,能展现其本身所没有的智能特性,因而具有更好的保护效果。利用二极管构造的保护网络,更加安全、严密,所以在使用时能显示出很好的作用。以二极管发生保护技术为切入点,将二极管应用于集成电路时,其二次管电路一般为0.8 V,该特性可使二极管有效地解决IC“静电放电”问题,但也应引起高度关注,二极管在使用时会出现不利效应。二极管本身具有耐压特性,而且自保护能力不强,因此在使用二极管时,在使用二极管时,既要确保其正效应,又要对其产生的负效应进行有效抑制,以确保其在工作中的

安全和稳定。

2.3 NPN晶体管

在集成电路中,除了电阻、二极管外,NPN晶体管也是一类由NPN结构构成的保护元件,这种结构使得正向NPN结构在工作过程中会使反向NPN结构产生“载流子”,从而对反向NPN结构产生影响。同时,由于正向NPN结的存在,使得反向NPN结处更多载流子聚集,使得载流子浓度逐步升高。这样,集流管内的双极会逐步上升,对集成电路内部设备的维持起到积极的作用。

3 ESD失效模式与失效机理

3.1 ESD失效模式

ESD故障可分为两种类型,即突发的完整故障和潜在的故障。所谓“突发”完全破坏,是指芯片内部的器件性能退化,从而引起多个参数的同步失效,从而导致芯片在运行中出现故障,并对器件产生一定的损伤。突然完全故障是指集成电路因短路或断路而引起电气参数的较大漂移。ESD潜态破坏模式是指在集成电路运行时,某些元件间会产生静电放电环路,而静电电位和电荷均很低。ESD放电时,流过设备的电流比较小,即使很少的静电电流,也会导致突然故障,但在潜态故障模式下,对IC设备的危害并不大,主要是微观损伤。然而,当放电频率逐渐增加时,这些微观损伤会逐步累积,从而对IC器件造成更大的危害,不仅会使器件的阈值电压大幅下降,还会对器件电气性能造成负面影响。另外,对于IC电子设备的抗静电性能和使用可靠性也有很大的影响。

3.2 ESD失效机理分析

对于硅的熔融,其原因在于其放电时的电流所释放的热能,使得其温升迅速升高,从而造成硅片表面的熔化。在硅片熔化时,器件的电阻会急剧下降,一般可减小约30倍,从而促进更多的电流流经熔化区,引发二次热失控。在此过程中,泄漏电流将沿熔融线路重新分

布,当泄漏电流和高电压时,极易对 IC中的结点晶格形成损伤,严重时可能导致整个电路短路。对于电荷注入,因其会形成结背偏压,极易诱发雪崩式击穿,从而使其能突破势垒,进入硅的能垒,从而使器件的阈值电压发生偏移,从而影响 FET的 VT测试结果,并破坏二极管的耐压和双极管的击穿电压。此外还会引起氧化层的开裂,ESD在静电放电过程中所产生的电流可以有效感应到电压,促使电场强度不断增加,最高超过氧化层中介质的电场强度,导致氧化层断裂现象的发生。在 MOS器件中,氧化层的破坏是造成其氧化损伤的一个重要因素,因此必须予以注意。

4 半导体器件 ESD 模式、主要测试方法刍议

4.1 ESD基本模式

(1)人体放电模式是指人体与地面设备发生静电放电时,体内由于各种原因产生的静电电荷积累,导致人体与半导体器件发生接触,从而导致静电电荷通过特定管脚进入器件内部。然后,从地引出管脚,对人体进行放电。在人体放电模式下,静电放电的时间相对较短,在短期内会有很大的电流,这样的话,很可能会损坏内部的半导体芯片。对于民用器件来说,静电级别的最大电流是1.25 A,在目前最常见的人体放电模式下,可以使用100 pF电容、1.5 K Ω 电阻,来对人体放电模式进行放电等效电容、电阻的仿真。

(2)电场感应模式 FIM,充电器件模式,可以模拟器件内部积聚的电荷向外放电,这种模式可以很好地模拟器件的充电机理,器件在经过电场的过程中,由于各种因素而产生的电荷,一部分正负电荷被引出,器件脱离电场后,电荷可以留在器件的内部,在维持带电的同时,器件与接地之间形成了一个通道,这个时候,电荷就会从引脚中被释放出来。

4.2 ESD主要测试方法

为了提高产品的抗静电性能,产品上市之前需要对其进行 ESD试验,因为实际使用的器件中,静电放电的电荷是正负电荷,所以不能保证脉冲方向的一致性。

(1)器件集成测试方法,是一种常规器件 ESD性能评价方法,在器件静电测试之前,需要对器件的引出端口进行分组,将器件的所有 I/O接口分为一组,器件电源引脚一组,器件接地引脚一组。分组后,根据器件的有关参数特征对各端口进行测试,对一些I-V特征进行测试,并做好器件的 ESD试验数据的记录工作。然后,对各个端口进行正、负向冲击多次,测试端口参数,以确定器件的参数是否发生变化。需注意:器件为一整体,如果任一端口的静电脉冲不能顺利完成,就不能保证器

件的正常工作。

(2)采用元件试验方法,可以评价 ESD装置的次级电流,从而客观地评价保护结构的 ESD性能。可采用脉冲宽为50-200 ns的短脉冲来检测静电防护结构I-V,该方法采用阻抗为常数的传输线、恒定幅值的方波信号,将其输入到装置的端口,监控装置的I-V特性。由于I-V特征曲线可以检测到器件的触发电压和电流,因此可以对器件的主要性能进行监控,为器件的制备工艺和防静电保护结构的研制提供理论依据。该方法是在硅片上进行的,无需对封装后的 ESD性能进行评价,可以在研发阶段快速地进行测试,这样可以缩短器件研发的时间。缺点是,TLP的测试结果并不能精确地反映出器件的抗静电能力,需要进行封装后的测试,才能提升测试的精度。

5 ESD 防护

5.1 技术防护

IC晶片在静电放电作用下,可分为热破坏和电气破坏两种类型。热失效指的是 ESD电流流经芯片的 pin管脚,如果电流过大,就会在芯片内的极小范围内产生大量的热能,从而引起芯片的发热,从而引起芯片的烧毁。电气故障是指保护电路不能有效地保护功能,将 ESD高压直接施加到芯片的内部电路中,若将 ESD高压施加在 MOS晶体管的栅极氧化物上,因为 MOS晶体管的栅极氧化物层很薄,高电压的作用下,栅极将会被击穿,若将其加入到二极管中,则会引起 PN结的破坏。为了避免 ESD电流对芯片内部电路的破坏,需要在 ESD电流出现时,通过侧面的低阻抗通道将其排出,这个低阻通道既能释放大的 ESD电流,又能保持较小的压降,确保芯片内的电路不会出现热故障和电气故障。另外,之前也说过,这个低阻回路在芯片正常工作时是断开的,而在 ESD出现的情况下则是断开的,这点尤为重要。

5.2 全芯片的防护技术

通过对静电放电现象的深入研究,我们发现,这一现象会对集成电路造成不可逆和毁灭性的损伤,大多数时候,都会在输入 PAD周围设置 ESD保护电路,以增强集成电路的 ESD保护能力,但在保护性能方面,集成电路还是会出现内部电路受损的问题,因此,必须采用全芯片的保护技术。在采用全芯片保护技术的过程中,需要用到 PowerClamp,它可以在 VSS轨和 VDD轨之间起到很好的作用。静止式 PowerClamp保护电路能够给集成电路提供一个具有相对恒定的电流特征的电路,当源电压高于触发电压时,它将开启静态 PowerClamp保护电路,同时,在保护装置二极管的影响下,SCR电路被触发,二极管串和 SCR电路是常用的 PowerClamp保护电路。

通过对 PowerClamp保护电路在全芯片保护技术中的使用现状进行了详细的分析,发现尽管保护效果比较理想,但当检测到 ESD信号的时候,会产生动态的 PowerClamp保护电路,因此,如何识别 ESD信号的真伪,就成为了一个重要的问题。

5.3 防护技术的应用

由于便携式装置极易发生静电放电,因此,在装置的输入/输出界面和供电线路上采用 SCR保护措施,可以有效地避免由于插头插入而引起的静电放电对设备的损坏。车载电子系统对静电放电极为敏感,通过 SCR保护和整车线束保护,可以有效地避免静电放电所造成的电气失效。在工业自动化系统中,对各种传感器、执行器和控制器的 ESD保护要求很高。采用 SCR保护装置,对装置的进、输、线进行安全保护,能有效防止静电放电。采用 SCR保护装置,可以有效地避免静电放电对仪器的损伤。全晶片保护能为装置提供更完善的保护,保证装置的可靠和安全。

5.4 ESD防护要点

首先,该装置的抗静电性能达不到相应的规范要求,需要在其上添加一种静电防护模块,以保证 ESD放电时的电流不会进入到设备/被保护电路中,可以在设备的 I/O口设计一个与电源/接地的电流通路,从而使电流从该通道中流出,而不会进入到设备中。在设备输入/输出端设置低压钳位器,高压静电脉冲在进入设备之间时会受到一定的约束,不能避免高压脉冲对设备内部结构的破坏。ESD防护模组需要对装置的内部结构进行防护,可以有效地防止 ESD的冲击。二极管的正向导通电压是0.7 V,而肖特基二极管则是0.3 V左右,正向导通和导通电压都很低,而低电势的耐受能力也很强,所以,在保护结构中,通常采用正向二极管结构来保护单元。为了达到合理钳位的目的,本文提出了采用多个正向二极管串联的方法。与正向二极管的低导通电压、大电流相比,二极管的反向击穿电压很高,一般都在8 V左右,而反向耐压较小。其次,采用 Vces钳位技术实现了双极性器件的可靠设计,该结构采用了 NPN集电极节点穿钳位正向 ESD瞬态 ESD电路,可以在保证2 kVHBM和200 VMMESD脉冲的情况下,对双极器件的发射区进行有效的保护,但如果太大的话,很容易在发射区域内产生电容,从而给设备带来负面的影响,因此,在对发射区域进行控制的时候,必须保证设备的 ESD防护能力。

6 有关 ESD 防护技术应用的改进措施

6.1 提升人员的专业素质和安全意识

由于员工的职业素养不高,安全意识不强,所以电子企业应该通过多种途径提高员工的职业素养,提高员工的安全意识。首先,要加强对电子科技人才的培养与评估,以提升其职业素养。此外,企业还应该组织人员向一线工作人员进行静电的危害和处理,以此来提高员工的安全防范意识,从而降低人员的伤亡。

6.2 提升小型电子企业的自动化水平

随着科技水平的提高,静电监控的自动化程度越来越高。实现静电自动监控,不但可以降低静电保护人员的投入,而且可以降低静电对制品的损伤,提高制品的合格率,对企业的发展和壮大有着十分重要的作用。所以,小电子公司应该尽量提高自己的静电保护能力,积极地引进和利用自动化监控装置,以迅速提高自己的自动化程度。

结语

集成电路的性能受多种因素的影响,这就给集成电路带来了巨大的挑战。为提高机电线路的性能,提高其工作寿命,必须对其进行严格的静电处理。重点介绍了 IC ESD产生的原因,以及以电阻为首的 IC ESD保护装置,以及 ESD防护技术。本项目的研究成果将有助于工程师们在未来的 IC制作过程中,合理地使用二极管、电阻等 ESD元件,并将其与周边环境及 ESD保护技术相结合,使得 ESD保护技术的应用更加合理、科学。

参考文献

- [1]应淼沸.集成电路的ESD防护技术分析[J].科技风, 2017, (15): 201.
- [2]刘畅,黄鲁,张峰.保护环版图结构对ESD防护器件耐压能力的影响[J].半导体技术, 2017, (3): 205-209.
- [3]山东电子信息行业综合服务平台."芯思维—新动能"发展论坛暨山东电子学会半导体器件与集成电路专委会换届会议成功举办[J].信息技术与信息化, 2018, 000(008): 1-2.
- [4]苏庆,苗彬彬.LDMOS器件ESD保护能力的一种优化结构[J].集成电路应用, 2018, 035(008): 41-44.
- [5]肖家木,乔明,齐钊,etal.用于高压ESD防护的高维持电流SCR器件[J].电子与封装, 2019, 019(005): 45-48.