

一种基于FPGA的数字信号传输性能分析的教学仪器

黄武云

汕尾技师学院 广东省 汕尾 516600

摘要: 本文意在提供一个便携、简易、方便维护的数字信号传输性能分析的教学仪器。设计了一款基于FPGA产生数字信号, 干扰信号、信号分析和控制信号的系统。其工作原理是利用FPGA产生波特率为10~100K的曼切斯特码作为数字信号, 通过3个巴特沃斯低通滤波器模拟出三个不同带宽的信道和用FPGA产生一个高频的伪随机码作为信道中的干扰信号, 最后通过FPGA设计的一个自适应PLL捕捉同步信号, 并将数字信号的眼图完整地还原并显示在示波器上。通过研究表明这种基于FPGA的数字信号传输性能分析的教学仪器对数字通讯教学具有重要的意义。

关键词: FPGA; 低通滤波器; 曼切斯特码; 眼图

1 一种基于FPGA的数字信号传输性能分析的教学仪器

1.1 课题背景

虽然数字信号被广泛地应用于现代信息传输系统中, 但是数字信号在传送的过程中的传输线路阻抗和噪声干扰影响等确是无法避免的, 于是就存在信号衰落、码间干扰、邻近波道干扰等问题。但是, 在实际教学中怎样让学生直观地看到, 并理解这些看不到、摸不着的干扰信号是如何在数字信号传输过程中产生影响的却是个难题。因此, 制作一种简易、操作方便、携带方便且价格低廉的数字信号传输性能分析的教学仪器就显得尤为重要。

1.2 研究现状

随着网络通讯、航天航空及数控系统等方面的发展, 数字处理技术也得到了很大的发展。由于数字信号与模拟信号相比, 数字信号具有抗干扰能力强, 方便传输、存储、处理、便于加密的特点, 所以数字信号在通讯领域得到了广泛的应用。一般的数字处理系统设计主要有2种方案, 一种是采用dsp处理器, 另一种是采用固定功能的dsp处理器或ASIC芯片。

数字处理系统的功能越来越复杂, 处理技术要求越来越高, 于是传统的DSP方案渐渐的显露出来的弊端越来越明显。虽然DSP处理器的成本低, 但由于其实时性较差, 使得它在实时系统和高速系统中的应用受到了很大的限制; 而固定功能的DSP处理器和ASIC芯片, 虽然能够满足处理速度的要求, 但是却缺乏了系统设计的灵活性, 不利于新产品的开发。在这种情况下FPGA应运而生, FPGA的诞生为数字处理系统设计提供了第三种方案, 利用FPGA进行数字处理系统的开发不仅能满足现代数字处理系统对处理芯片高速度的要求, 而且由于可编

程器件及开发工具的灵活性, 使利用FPGA对数字处理系统的设计变得更加的方便。且利用FPGA进行系统开发还可以, 满足系统高集成度的要求。

1.3 本文研究的主要内容

本设计涉及一种基于FPGA的数字信号传输性能分析的教学仪器, 设计一款可以用于教学试验当中, 使学生认识数字传输中的整个过程的变化, 从而加深学生对数字处理技术的了解。系统总共划分为四个部分, 分别是: 电源模块、信号发生器、信道和信号分析四个部分。其中电源模块包括有一路±15V的电压输出和一路5V的电压输出; 信号发生器的设计主要包括: 频率合成器设计和波形发生器设计, 该部分负责产生频率可调的数字信号和模拟出高频的噪声信号; 信道设计主要包括: 三路滤波电路设计、增益调节器设计和加法器电路设计, 该部分负责模拟出一个信道, 使数字信号与噪声信号进行叠加后产生一个受干扰的信号; 信号分析模块该部分的设计主要包括: 信号整形电路设计, 滤波器电路设计和同步脉冲采集电路设计, 该部分主要从受干扰后的数字信号中还原出信号的同步脉冲, 供示波器使用, 并显示信号的眼图。

参数要求:

(1) 设计并制作一个数字信号发生器:

数字信号为: $f_1(x) = 1+x^2+x^3+x^4+x^8$ 的m序列; 数据率为10~100kbps, 按10kbps步进可调; 输出信号为TTL电平。

(2) 设计三个低通滤波器, 用来模拟传输信道的幅频特性:

每个滤波器带外衰减不少于40dB/十倍频程; 三个滤波器的截止频率分别为100kHz、200kHz、500kHz; 滤波器的通带增益 A_p 在0.2~4.0范围内可调。

(3) 设计一个伪随机信号发生器用来模拟信道噪声:

伪随机信号为: $f_2(x) = 1 + x + x^4 + x^5 + x^{12}$ 的m序列, 数据率为10Mbps, 输出信号峰峰值为100mV。

提取数字信号的同步, 显示数字信号的信号眼图, 并测试眼幅度。

2 系统总体方案设计

2.1 系统功能分析

本系统主要功能: 用FPGA制作一个信号发生器, 信号发生器可以产生一路波特率为10K~100K可调的m序列, 并能输出其同步脉冲和曼切斯特码, 同时产生一路波特率为10M的伪随机码作为噪声干扰信号; 然后将信号输入到有源低通滤波器和增益调节器等组成的数字信道中, 在信道的输出口用加法器将数字信号和伪随机码模拟的干扰信号进行叠加产生一个干扰后的数字信号; 最后采用FPGA制作一个自适应的PLL将数字信号的同步脉冲, 并利用同步脉冲将数字信号的眼图在示波器上完整地显示出来。系统中还有按键可以调节数字信号的波特率和液晶屏显示当前频率。

在设计数字信号传输性能分析的教学仪器时需要对其

系统的中央处理芯片、外围硬件电路芯片进行选型和模拟电路的参数计算, 并制作一个合适系统的稳压电源, 然后将系统划分成不同模块, 并分别进行调试, 最后将调试成功的各个模块拼接成一个整体系统进行总体调试。

系统输入输出接口包括:

(1) 2个按键输入接口: 用于调整数字信号的波特率
(2) 3个数字信号输出口: 用于输出m序列、曼切斯特码和噪声干扰信号

(3) 1个同步脉冲输出口: 用于波形显示时提供同步脉冲

系统电路划分为以下模块:

稳压电源模块: 为控制系统提供5V的直流电源和为运放提供±15V的直流电压

FPGA最小系统板: 用于进行数字信号产生、分析和处理

有源滤波模块: 模拟出数字信号的传输通道的带宽

增益调节模块: 调整信号的幅值

信号叠加模块: 将数字信号和噪声合成一个信号

信号整形电路: 将通过信道之后产生形变的信号进行整形, 便于FPGA的读取

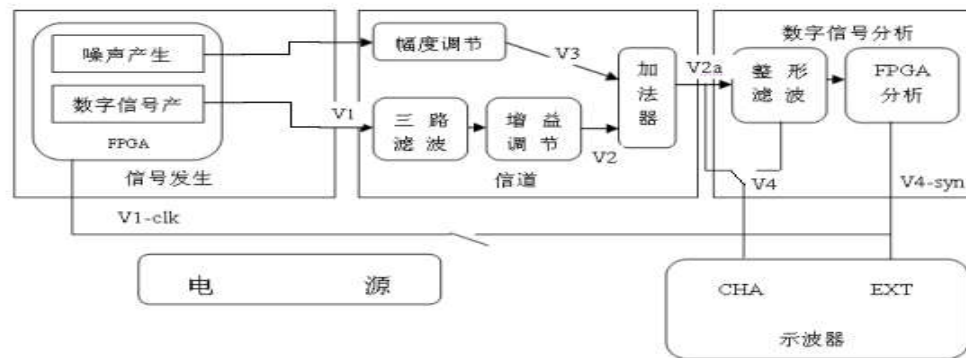


图2-1 系统基本框图

2.2 系统外形设计

基于FPGA的数字信号传输性能分析的教学仪器的整个系统共分为两层, 顶层为信号的传输和处理层, 包括有源滤波模块、增益调节器、信号叠加模块、信号的整形模块; 下面一层包括有电源模块和FPGA最小系统, 主要负责为系统提供电源和信号输出、处理和分析。层与层之间用铜柱固定, 电路用杜邦线连接。为了使系统整体看起来更加的整齐美观, 每一层的电路板有用塑料板进行了固定。实物照片如图2-2所示。



图2-2 简易数字信号传输性能分析仪实物照片

3 系统供电方案设计

系统电源包括两部分, 第一部分是直流±15V, 该部分为系统中的运放电路提供工作电压, 第二部分是直流

5V, 该部分为系统中的FPGA小系统板提供工作电压。

这两部分皆采用直流线性电源, 电源总体包括4个环节, 分别是变压、整流、滤波、稳压, 其中稳压芯片皆采用

LMXX系列芯片。电源电路图如图3-1所示，其中电源引入220V正弦交流电压，然后经过变压器变压将电压转换成两个18V的正弦交流电压，后通过4个1N4007构成的整流电桥进行整流，将正弦交流电压转换成单方向的脉动

直流电压，接着经过滤波电容滤波，脉动直流电压转换成带纹波的直流电压，最后通过两级稳压芯片将电压转换成±15V和+5V电压，使其电压波形更加的平缓，并变成平稳直流电。

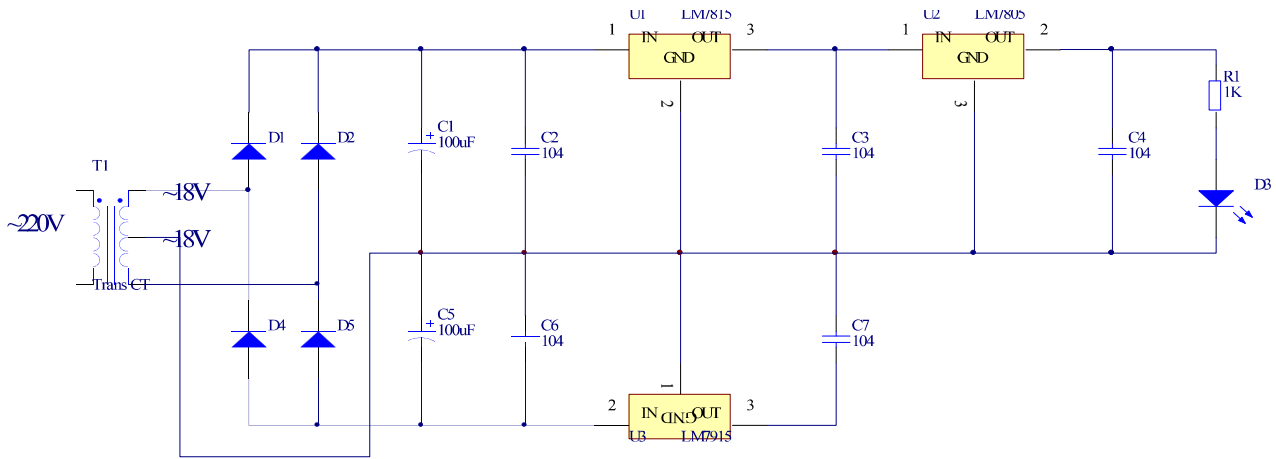


图3-1 电源模块电路图

4 信号发生器设计

4.1 微处理器电路设计

4.1.1 处理器选择

本系统采用FPGA可编程逻辑器件作为控制和数据处理的核心。FPGA具有体系结构和逻辑单元灵活、集成度高及应用范围广等特点。其内部包含了有PLD和通用门阵列，可实现大量的逻辑电路设计，编程方式灵活。应用QUARTUS II软件对FPGA进行程序设计，可实现对FPGA进行软件仿真，可大大的缩短设计周期，且可以在一定程度上简化了外围电路。同时FPGA可实现频率合成器并

生成信号发生器，还能利用PLL准确的捕捉到曼彻斯特码的脉冲跳变，还原出m序列的同步脉冲。利用其在示波器上显示眼图，综合考虑FPGA可以满足本次设计的需要。

4.1.2 信号发生器实现

本设计按照设计要求，使用单块FPGA完成了数字信号发生器和高频噪声信号的产生。采用FPGA进行信号发生器的设计可以大大的减少电路装调的困难，信号发生器可以完全用硬件描述语言完成设计。信号发生总体包含有两部分，分别是：频率合成器和波形发生器。其电路图如图4-3所示：

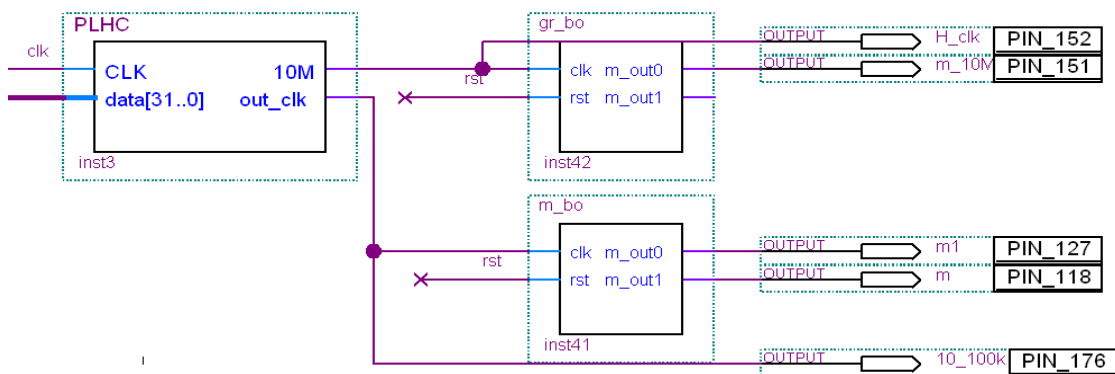


图4-3 信号发生器电路图

4.2 频率合成器设计

频率合成技术是将一个或多个高稳定、高精度的标准频率经过一定变换，产生同样具有高稳定性和精度的大量离散频率的技术。频率合成器在现代无线通讯

领域中扮演着一个极其重要的角色。频率合成技术可分为锁相频率合成技术、直接频率合成技术、直接数字式频率合成技术和混合式频率合成技术。一个频率合成器的性能可影响整套无线通讯设备的性能，随着计算机技

术、航空航天技术、数字电视技术和通讯技术等数字通讯技术的发展，频率合成器也就显得越来越重要，同时频率合成技术也日趋成熟。

本设计中应用的合成技术是直接数字频率合成技术，其电路图如图4-4所示，在本系统中直接数字频率合成器由32位的加法器、32位累加寄存器、8位的波形存储器、方波输出模块和输出波形整形模块组成，其工作过程是，系统每来一个脉冲，加法器就进行一次加法运算，加法器的工作是将频率控制字K和累加寄存器反馈回来的数值进行相加，并将运算结果送到累加寄存器的输入端；累加寄存器的工作则是将上一次的运算结果送到加法器的其中一端，等待参与下一次的运算，如此构成

一个循环，若想改变频率合成器的频率只需改变频率控制字K的值即可。然后将累加寄存器的高7位提取出来对波形存储器进行查表，并将查表结构穿个波形输出模块使其输出方波信号，为了使输出信号更加的平稳，所以在信号输出之前用D触发器和或门对信号进行了整形滤波。若给出波形的频率，需求频率控制字K，根据上述结论我们可以推出公式：

$$K = \frac{2^{32} * f_{out}}{f_{in}} \quad (4-1)$$

式中： f_{out} ——频率合成器输出频率；
 f_{in} ——系统时钟频率；
 K——频率控制字；

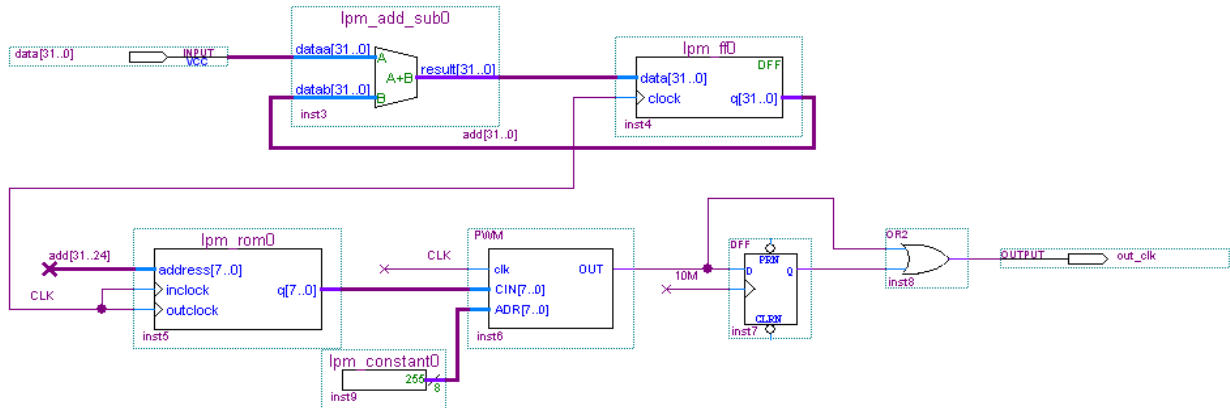


图4-4 频率合成器电路图

4.3 波特率调节电路设计

为了满足本设计的要求，使信号发生器输出m序列的波特率可调，在电路中增加了两个按键，用于实现频率合成器的输出频率的调节，其调节范围是从10K~100K，步进值为10K。波特率调节电路分为外部硬件电路和按键检测电路，外部硬件电路由两路可随按钮状态改变，从而产生电平跳变的按键电路组成其电路如图4-5所示。

按键检测电路由FPGA内部逻辑电路构成，其工作过程如下，首先通过4个移位寄存器和3个与门对按键信号进行消抖，提取出稳定的按键信号来，然后将信号传给键值计算电路，由键值计算电路算出键值，最后将计算当前键值传给频率控制字产生电路，由该电路将键值转换成频率合成器所需要的频率控制字。其电路模块图如图4-6所示。

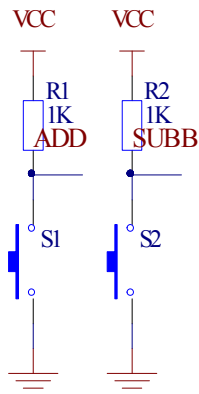


图4-5按键电路

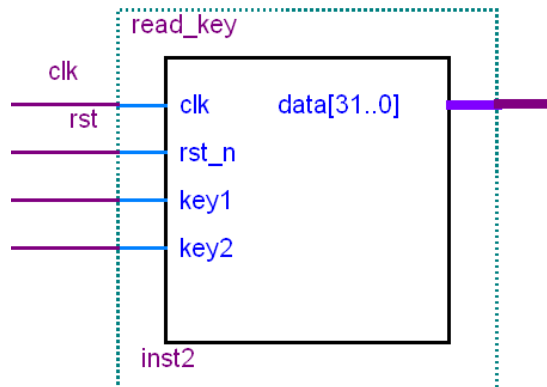


图4-6键值计算电路

4.4 m序列和曼彻斯特码的产生

4.4.1 m序列简介

m序列是由N级线性位移寄存器产生的周期为 $P = 2^N - 1$ 的序列,是最长线性位移寄存器序列的简称。m序列码也称伪随机序列码,它被广泛地应用与雷达和通讯设备的可靠性测试中,它也可作为信源用于通讯误码率的测试,同时还可以用于对通讯信号进行加密。在一个系统中有N级的反馈移位寄存器,系统就具有 2^n 个状态。需要注意的一点事当m序列的初始状态为全“0”时,它的状态时不会改变的,所以序列的最大周期长度是 $2^n - 1$ 。其特点是:

- (1) 每个周期中“0”和“1”的出现概率是一样的,都是 2^{n-1} ;
- (2) 序列中“1”连续出现的概率为 n ,“0”连续出现的概率为 $n-1$;
- (3) “0”和“1”的出现没有规律,具有随机性,可看成白噪声。

4.4.2 曼彻斯特码简介

曼彻斯特码,又称数字双相码,是一种时钟同步码技术。曼彻斯特码于1949首次提出,它规定信号的上跳沿表示“0”状态,用信号的下跳沿表示“1”状态。因为曼彻斯特码每发送一帧数据其电平都必须产生一次

跳变,所以曼彻斯特码发送的跳变信号不仅包含数据信号,还可当成同步脉冲信号。在数字信号传输系统中将数据以曼彻斯特码的方式进行传输时,传输数据线只需要两根线就可以满足传输要求,便可同时可以传输数据和代码的同步脉冲,同时还可以在在一定程度上增加系统的看干扰能力,这使得曼彻斯特码得到了广泛的应用。如图4-7所示是将一组数据转换后曼彻斯特码波形图。

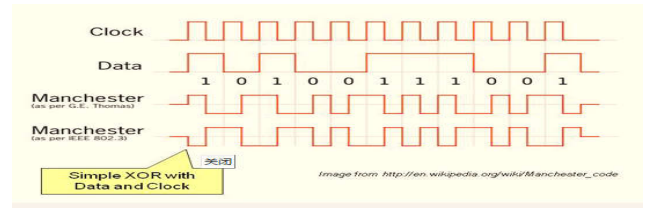


图4-7 曼彻斯特码波形图

4.5 系统波形的产生

m序列是使用位移寄存器结构实现的,根据式子 $f_1(x) = 1+x^2+x^3+x^4+x^8$ 和 $f_2(x) = 1+x+x^4+x^5+x^{12}$ 我们可以用触发器和加法器实现m序列的产生,其电路图如图2-8所示。同时,根据曼彻斯特码的编码方式可知需要得到m序列的曼彻斯特码形式只需将m序列和其为时钟进行异或即可得到。其电路图如图4-8所示,图中out1输出为m序列,out2输出为曼彻斯特码。

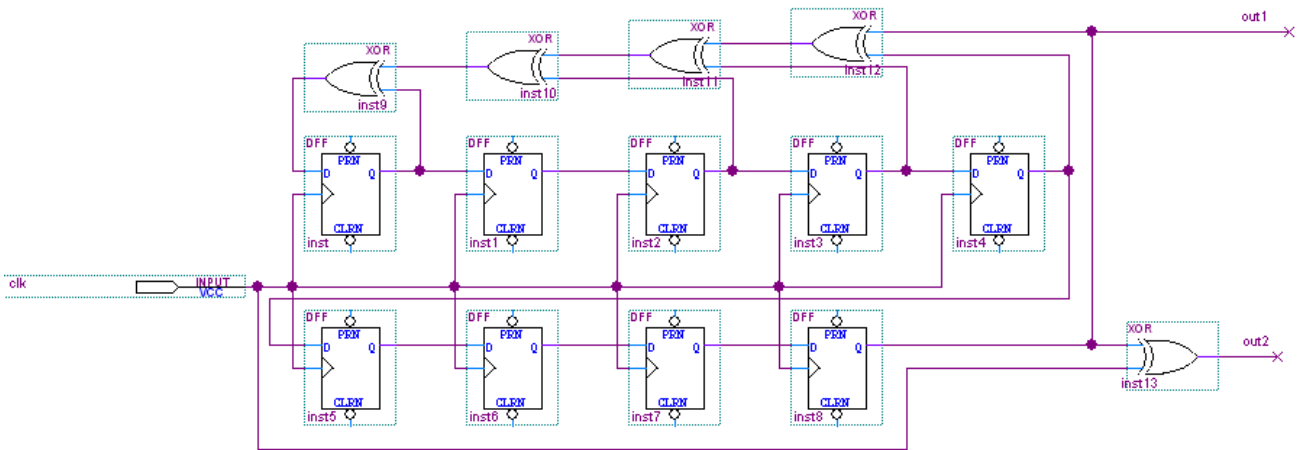


图4-8 波形发生电路图

5 信道设计

5.1 滤波电路方案设计

为了模拟真实传输过程中的通道,设计要求抑制通带信号的失真率,同时达到40dB/十倍频程的带外衰减率的要求。抑制通带信号的失真率,同时达到题目40dB/十倍频程的带外衰减率的要求,滤波器选用Sallen-key型,4阶巴特沃斯低通滤波器。由于输入信号为TTL信号,滤波器3dB

带宽最大为500K,且电路的增益为1倍,根据公式:

$$GBP = 10 \times \text{Gain} \times f_c \quad (5-1)$$

可得所选运放的增益带宽积为5M。而该部分的供电电压需大于5V,根据公式:

$$\text{SlewRate} = 2 \times \pi \times V_{\text{out-p}} \times f_c \quad (5-2)$$

可得所选运放的压摆率不小于15.7V/us,为此我们选用TI公司的THS4032双运放作为有源滤波器的放大芯片,

该芯片供电电压可达33V，压摆率可达100V/s，2倍增益带宽可达100M，完全可以满足设计要求。

运放芯片选择好了之后，应用FilterPro软件进行滤波

器电路的设计，其过程是选择滤波器的波形，输入滤波器的截止频率，然后选择滤波器的拓扑结构，便可生成滤波电路。电路如图5-1所示：

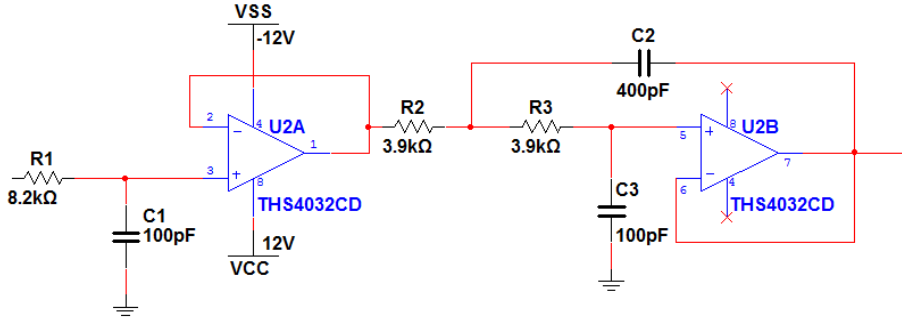


图5-1 滤波器电路图

最后通过multisim电路仿真软件对设计好的电路进行仿真，根据实际情况，结合试验室中现有的电容电阻对电路参数进行调整，最后得出电路的具体参数如下：

截止频率为100KHz的低通滤波器参数为：

$R1 = 16K, R2 = 8.2K, R3 = 8.2K, C1 = 100pF, C2 = 400pF, C3 = 100pF$

截止频率为200KHz的低通滤波器参数为：

$R1 = 8.2K, R2 = 3.9K, R3 = 3.9K, C1 = 100pF, C2 = 400pF, C3 = 100pF$

截止频率为500KHz的低通滤波器参数为：

$R1 = 3K, R2 = 1.6K, R3 = 1.6K, C1 = 100pF, C2 = 400pF, C3 = 100pF$

低通滤波器通频带仿真结果图如图5-2所示：

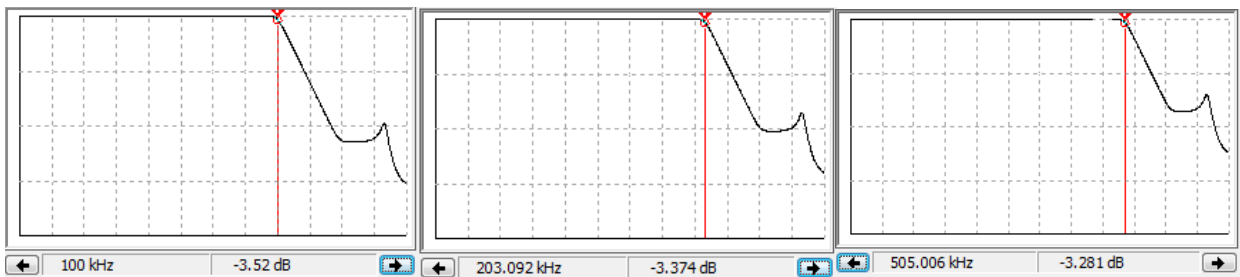


图5-2 低通滤波器通频带仿真结果图

5.2 加法器电路方案设计

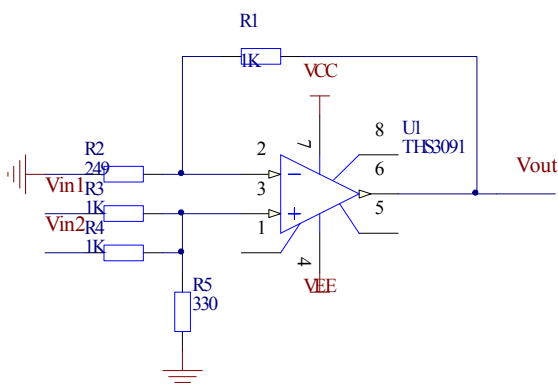


图5-2 加法器电路图

为了模拟数字信号受干扰信号影响情况，系统需要将10M的方波噪声和最高频率为500K的低频信号进行叠

加。考虑如果采用阻容耦合，会造成一定的衰减，如需还原还需经过放大，所以采用直接耦合的加法电路。因为信号包含有10M的高频信号，考虑到其高次谐波分量，为了保证其合成质量，所以需要增益带宽积较高的放大器，在此我们采用TI公司的THS3091作为放大器，其供电电压为36V，5倍增益带宽积将近100M，压摆率为7300V/us，可以较好的完成信号的叠加。其电路如图5-2所示。

6 信号处理系统设计

6.1 波形整形电路方案设计

因为通过信道中等环节的处理之后，信号发生器发出的信号会发生一定的形变，这种信号如果直接送到信号分析处理其中不利于FPGA对信号的处理，所以必需在信号处理器前对数字信号进行一定的整形和滤波，滤波电路和上述电路基本一样，但是波形的形状则需经过整

形电路进行整形，将信号的前沿坡度变得更陡和对信号的幅值进行限幅。其电路如图6-1所示，电路原理是使用LM311构成一个比较器电路，数字信号从其反向比较端进入，并与正向比较端的电位进行比较，从LM311的输出脚输出整形后的方波。在电路中调节电位器RP3可调节输出波的占空比，调节电位器RP1可调节输出方波的幅值。同时因为该电路是个反向比较器，输出的方波信号与原信号相位相差了180°，所以后面又加了一级同样的反向比较器，将相位进行了反转，从而使得其输出信号与原信号同相。

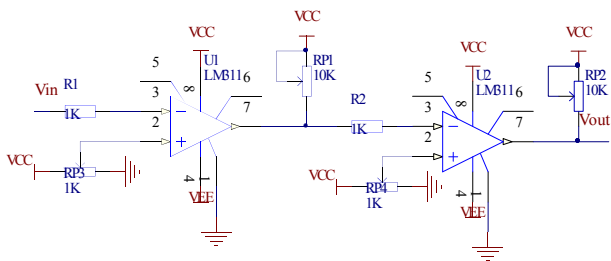


图6-1 整形电路电路图

6.2 同步脉冲的提取方法

曼彻斯特码的一个基本特性就是每发一贞数据脉冲必定会产生一次翻转，利用曼彻斯特码的这一特性，我们可以捕捉前后两次翻转的时间，并进行多次采集，以前后几次中周期最短的时间，作为同步脉冲的翻转时间，这样就能得到一个与同步脉冲周期相同的脉冲，但是其相位有可能不同，因此，在模块中应添加一个锁相环，使得前面产生的脉冲信号与所接收码源的信号相位相同，从而得到可用于解码的同步脉冲。

6.3 眼图显示及应用

6.3.1 眼图的显示方法

眼图的显示，首先，将示波器进行校正，然后将示波器的通道选择，选择单通到就行，接着把示波器的扫描频率改成外部脉冲触发。这时将数字信号的码源从选择的通道输入，将同步脉冲接在示波器的外部触发脉冲输入端，则可以在示波器上显示出眼图。

6.3.2 眼图的应用

眼图是将一连串的数字信号在示波器上进行叠加显示出来的，其中包含了很多信息，从这些信息中我们可以获取数字信号的串扰和噪声干扰的情况，从而可以估计信号的传输情况和信道的环境。根据获取的这些信息，我们可以调整滤波器的特性，减小信道中干扰的影

响，从而改善系统的传输性能。

我们知道如果示波器上的现实宽度为1us，则我们观察到的只有波形的某一时刻的情况，但是对于一个系统来说，根据这么短的时间来判断系统的情况是远远不够的。例如：在一百万贞的数据中，只会出现一帧受到干扰，那么我们想通过示波器观察、捕捉到这个受干扰的信号就特别的难了。但是如果我们可以将每一时刻数据的波形在示波器上进行叠加显示，进过一段时间的积累那么就能在示波器上显示出信号的眼图，通过眼图我们看到的是信号的现状和以前状态的叠加，从而可以获取信号传输整个过程的情况。

眼图中应包括有“000”到“111”这8种状态才能算是个完整的眼图，当在一定的周期内这8种状态在示波器上出现的概率相同时，示波器上显示的眼图就是完整的眼图，否则，眼图就不完整，甚至无法显示出眼图。于是我们就可以通过观察眼图的完整程度，从而判断数字信号在信道传输过程中的受干扰情况。眼图的形成示意图如图6-2所示：

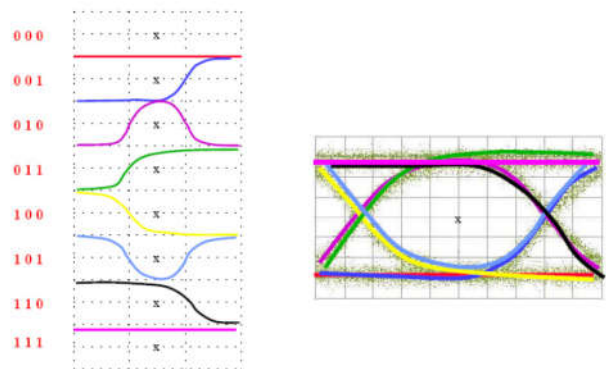


图6-2 眼图形成示意图

参考文献

[1]U. Meyer-Baese著,刘凌译.数字信号处理的FPGA实现,第三版,清华大学出版社 2003.3
 [2]吴厚航.深入浅出玩转FPGA,第二版,北京航空航天大学出版社 2013.7
 [3]陈欣波.Alterta FPGA工程师成长手册,清华大学出版社 2012.6
 [4]童诗白.模拟电子技术基础[M],第四版,高等教育出版社 2006.5
 [5]段尚枢.运算放大器应用基础[M],第一版,哈尔滨工业大学出版社 1998