

# 基于FPGA的多通道实时数字信号采集与预处理系统设计

高建伟

中国电子科技集团公司第五十四研究所 河北 石家庄 050000

**摘要:** 随着现代工业自动化、智能传感、雷达通信及生物医学工程等领域的飞速发展,对高速、高精度、多通道同步数据采集与实时处理能力的需求日益迫切。传统的基于微处理器或通用计算机的数据采集系统在面对海量、高速数据流时,常受限于其串行处理架构和有限的带宽,难以满足严格的实时性要求。现场可编程门阵列(FPGA)凭借其强大的并行处理能力、灵活的可重构特性以及丰富的片上资源,为构建高性能实时信号处理系统提供了理想的硬件平台。本文针对上述挑战,设计并实现了一种基于FPGA的多通道实时数字信号采集与预处理系统。该系统以Xilinx Artix-7系列FPGA为核心控制器,采用多片高精度、高速模数转换器(ADC)实现8通道同步模拟信号采集;通过优化的DDR3 SDRAM控制器实现高速数据缓存;并在FPGA内部硬核逻辑中实现了包括数字下变频(DDC)、快速傅里叶变换(FFT)和数字滤波在内的关键预处理算法。本系统能够稳定工作在100 MSPS(每秒百万次采样)的采样率下,有效完成多通道信号的同步采集、实时频谱分析与特征提取,显著降低后端处理器的数据处理负担。

**关键词:** FPGA; 多通道数据采集; 实时信号处理; 数字下变频; 快速傅里叶变换; DDR3 SDRAM

## 引言

在信息时代,众多领域都需精确感知与数字化处理物理世界连续变化的模拟信号。数据采集系统是连接模拟与数字世界的桥梁,其性能关乎系统响应速度、分析精度和可靠性。在相控阵雷达等场景中,常需对多通道信号高速、高精度同步采集并预处理。但传统方案有瓶颈:基于单片机或ARM处理器的系统,难应对GSPS级数据;基于通用CPU/GPU的方案,因操作系统延迟和多级缓存,难保证硬实时性,且多通道同步精度受时钟抖动和布线延迟影响。FPGA作为半定制集成电路,内部架构独特,天然支持大规模并行计算,能同时处理多个数据流,契合高速数据采集与实时处理需求,还可实现完整数据通路硬件化,缩短处理延迟<sup>[1]</sup>。故研究设计基于FPGA的多通道实时数字信号采集与预处理系统意义重大。

## 1 系统总体架构设计

本系统的设计目标是实现8通道、100 MSPS、14位分辨率的同步模拟信号采集,并能对采集到的数据流进行实时的频域分析(FFT)和时域滤波。为达成此目标,系统被划分为四个主要功能子系统:信号调理与采集前端、FPGA主控与处理核心、高速数据缓存单元和上位机通信接口。其整体架构如下:

### 1.1 信号调理与采集前端

该部分负责将外部传感器或信号源输入的模拟信号进行必要的预处理,包括抗混叠滤波、电平调整和阻抗匹配,然后送入高速ADC芯片进行数字化。本设计选用ADI公司的AD9257-105,这是一款8通道、14位、最高采

样率125 MSPS的流水线型ADC。所有8个通道共享同一个高稳定度、低抖动的采样时钟(由专用时钟发生器芯片提供),并通过LVDS(低压差分信号)接口将数字化后的数据并行输出至FPGA。

### 1.2 FPGA主控与处理核心

作为整个系统的大脑,FPGA承担着多重任务。首先,它需要接收来自8个ADC通道的高速LVDS数据流,并将其正确地解串、对齐和打包。其次,在数据进入缓存之前,FPGA需根据用户配置,选择性地启动预处理引擎。本系统集成了两个关键的预处理模块:(a)数字下变频(DDC)模块,用于将高频带通信号搬到基带,降低后续处理的数据速率;(b)快速傅里叶变换(FFT)模块,用于实时计算信号的频谱。最后,FPGA还负责管理整个系统的时序、状态机控制以及与外部设备的通信。

### 1.3 高速数据缓存单元

由于ADC产生的原始数据速率极高(8通道 14位 100 MSPS  $\approx$  11.2 Gbps),远超常规通信接口(如USB、以太网)的持续吞吐能力,因此必须引入一个大容量、高带宽的中间缓存。本设计采用Micron公司的1Gb DDR3 SDRAM芯片<sup>[2]</sup>。FPGA内部集成的Memory Interface Generator(MIG)IP核被用来生成符合JEDEC标准的DDR3控制器,实现对SDRAM的高效读写操作,确保数据不丢失。

### 1.4 上位机通信接口

处理后的数据或原始数据需要上传至上位机进行进一步分析、显示或存储。本系统通过FPGA内部的千兆以太网MAC硬核,配合外部的PHY芯片(如Marvell

88E1111), 实现与上位机的高速数据传输。上位机软件可通过TCP/IP协议向FPGA发送配置命令(如启动/停止采集、选择预处理模式等), 并接收回传的数据。

整个数据流遵循“采集->(可选预处理)->缓存->上传”的路径。这种架构的优势在于, 预处理操作在数据写入缓存前完成, 从而大大减少了需要缓存和上传的数据量, 有效缓解了后端通信和存储的压力。

## 2 硬件电路设计

### 2.1 ADC前端电路设计

AD9257-105的每个通道均采用差分输入, 以提高共模抑制比(CMRR)和抗干扰能力。前端信号调理电路主要包括:(1)抗混叠滤波器(AAF): 采用七阶椭圆低通滤波器, 截止频率设置为略低于奈奎斯特频率(50 MHz), 以严格抑制高于50 MHz的频率成分, 防止频谱混叠。(2)驱动放大器: 选用ADA4937-1全差分放大器, 其高带宽(>1 GHz)和高压摆率(>3000 V/ $\mu$ s)确保了信号在100 MSPS采样率下的完整性。(3)参考电压与去耦: ADC的参考电压由高精度、低温漂的基准源(如ADR4540)提供, 并通过大量的0.1 $\mu$ F和10 $\mu$ F陶瓷电容进行电源去耦, 以减小电源噪声对转换精度的影响。所有8个ADC通道的采样时钟(CLK+/-)由一个低抖动时钟发生器(如HMC7044)提供, 该时钟发生器接收一个高稳晶振作为输入, 并通过其内部的锁相环(PLL)产生同步、低抖动的时钟信号, 分配给所有ADC, 从根本上保证了多通道间的采样同步性。

### 2.2 FPGA及其外围电路

主控FPGA选用Xilinx Artix-7 XC7A100T-2CSG324。该芯片拥有丰富的逻辑资源(约10万个逻辑单元)、240个DSP48E1硬核以及4.9 Mb的Block RAM, 足以支持本系统的设计需求。其关键外围电路包括:(1)配置电路: 通过JTAG接口进行调试和程序下载, 同时外接一个SPI Flash(如W25Q128)用于存储FPGA的比特流文件, 实现上电自启动。(2)DDR3 SDRAM接口: FPGA的HR(High-Range) Bank引脚通过Fly-by拓扑连接到DDR3芯片。PCB布局布线时, 严格遵循等长、阻抗匹配(50 $\Omega$ 单端, 100 $\Omega$ 差分)的原则, 并添加了必要的端接电阻, 以确保高速信号的完整性<sup>[3]</sup>。(3)千兆以太网接口: FPGA的SelectIO引脚连接到外部PHY芯片, PHY再通过RJ45接口连接到网络。变压器用于实现电气隔离和共模噪声抑制。

### 2.3 电源系统设计

整个系统对电源的纯净度要求极高。FPGA内核、I/O、ADC、DDR3等不同部分需要不同的电压(如1.0V, 1.8V, 2.5V, 3.3V)。为此, 采用多路、高效率的DC-DC

开关电源模块(如TI的TPS系列)结合LDO(低压差线性稳压器)的混合供电方案。开关电源提供高效率的能量转换, 而LDO则用于对噪声敏感的模拟部分(如ADC的AVDD)进行二次滤波, 确保电源纹波足够低。

## 3 FPGA逻辑设计与实现

本设计采用模块化、层次化的设计思想, 将整个逻辑划分为多个独立的功能模块。

### 3.1 ADC数据接收与同步模块

ADC通过14对LVDS数据线(D0+/-到D13+/-)和一对LVDS时钟线(DCO+/-)输出数据。FPGA首先利用原语IBUFDS将差分信号转换为单端信号。关键在于数据的捕获: 由于LVDS数据在DCO的上升沿和下降沿均有效(DDR模式), 因此需要使用FPGA内部的ISERDES(Input Serializer/Deserializer)原语来实现数据的解串。本设计中, ISERDES被配置为2:1模式, 即每个ISERDES单元在一个DCO周期内捕获2位数据, 最终在FPGA内部恢复出14位宽、100 MHz的并行数据流。为了确保8个通道的数据严格对齐, 所有ISERDES模块共享同一个复位和使能信号, 并由一个全局状态机统一管理。

### 3.2 DDR3 SDRAM控制器

Xilinx Vivado工具提供的MIG(Memory Interface Generator) IP核极大地简化了DDR3控制器的设计。通过MIG GUI界面, 可以方便地配置SDRAM的型号、时序参数、数据宽度(本设计为16位)和AXI4接口模式。MIG IP核会自动生成一个用户友好的AXI4-Full接口, 上层逻辑只需按照AXI协议发起读写请求即可。为了最大化DDR3的带宽利用率, 本系统设计了一个双缓冲(Ping-Pong Buffer)机制<sup>[4]</sup>。当一个缓冲区正在被ADC数据填充时, 另一个缓冲区可以被预处理引擎读取或被以太网模块上传, 从而实现了采集、处理、上传三个操作的流水线并行。

### 3.3 实时预处理算法实现

#### 3.3.1 数字下变频(DDC)模块

DDC的主要目的是将感兴趣的高频信号频谱搬移到零中频(基带), 以便于用更低的采样率进行处理。其核心由数控振荡器(NCO)、混频器和低通滤波器(LPF)组成。(1)NCO: 使用Xilinx DDS Compiler IP核生成。通过配置相位增量字(Phase Increment Word), 可以精确控制输出正交本振信号(I/Q)的频率。(2)混频器: 利用FPGA的DSP48E1硬核实现高效的乘法运算。输入信号分别与NCO产生的cos和sin信号相乘, 得到I路和Q路信号。(3)LPF/CIC滤波器: 为了降低数据速率, 通常在混频后接一个抽取滤波器。本设计

采用级联积分梳状（CIC）滤波器，因其结构简单、无需乘法器，非常适合在FPGA中实现高倍抽取。经过DDC处理后，数据速率可降至原速率的 $1/N$ （ $N$ 为抽取因子）。

### 3.3.2 快速傅里叶变换（FFT）模块

频谱分析是信号预处理中最常见的任务之一。本系统直接调用Xilinx提供的FFT v9.1 IP核。该IP核高度优化，支持多种点数（如1024、2048点）和定点/浮点数据格式。考虑到实时性要求，IP核被配置为Streaming I/O模式，即数据可以连续流入，频谱结果也连续流出。为了配合FFT的处理，前端需要一个数据缓冲模块（利用Block RAM实现），用于暂存一帧完整的时域数据。FFT的结果（复数形式的频谱）可以直接写入DDR3，供上位机读取，也可以进一步进行峰值检测等操作。

### 3.4 系统控制与通信模块

一个顶层的状态机负责协调所有模块的工作。它接收来自以太网接口的命令包，解析后控制ADC的使能、预处理模块的选择、DDR3的读写地址等。同时，它还负责打包待上传的数据，并通过GMII（Gigabit Media Independent Interface）接口发送给以太网MAC硬核。

## 4 结语

本文设计了一套基于FPGA的多通道实时数字信号采

集与预处理系统。通过精心的硬件选型与电路设计，确保了信号采集的高精度与多通道同步性；通过在FPGA内部构建高效的数据流架构，并集成DDC、FFT等关键预处理算法，充分发挥了FPGA并行处理的优势，实现了对高速数据流的实时处理。该方案在100 MSPS采样率下工作稳定，功能完备，性能优越。本系统的成功不仅验证了FPGA在高速数据采集领域的巨大潜力，也为类似应用场景（如智能仪器、在线监测、科研实验平台等）提供了一套可借鉴的、高性价比的解决方案。未来的工作将着眼于进一步提升系统的智能化水平，例如在FPGA中集成简单的机器学习推理引擎，以实现更高级别的实时特征识别与异常检测。

### 参考文献

- [1]唐自力,伍春.基于FPGA的多通道采集与光纤实时传输系统设计[J].仪表技术与传感器,2025,(08):45-50.
- [2]王红亮,高春林,林宏.基于FPGA的多通道微弱振动信号采集系统[J].仪表技术与传感器,2025,(08):60-63+84.
- [3]李金峰,史春景.基于国产FPGA的多通道数据采集与读取系统[J].一重技术,2025,(05):56-60.
- [4]纪丛路.基于FPGA的多通道信号采集系统的设计与实现[D].桂林电子科技大学,2025.