

# 抗电磁干扰的智能电表硬件设计与测试

谢加庆

杭州炬华科技股份有限公司 浙江 杭州 311121

**摘要:** 智能电网建设深入,智能电表作为核心终端,承担电能计量、数据采集等关键功能。但在实际运行中,它易受开关操作、雷击等产生的电磁干扰(EMI),这可能导致计量失准、通信中断甚至永久损坏,威胁电网安全与用户公平计费。本文聚焦这一挑战,系统探讨智能电表硬件层面的抗电磁干扰设计策略,并构建完整测试验证体系。先深入分析主要EMI耦合路径及其对关键电路模块的影响机理;再从电源、模拟前端等四大核心部分,阐述滤波、屏蔽等多层次硬件抗干扰设计方法;最后依据IEC61000-4系列国际标准,设计并实施全面EMC测试方案。研究表明,科学严谨的硬件设计与严格测试验证,能显著提升智能电表电磁兼容性能,保障其在严苛电磁环境下长期可靠运行。

**关键词:** 智能电表;电磁干扰(EMI);硬件设计;抗干扰技术;EMC测试

## 引言

智能电表作为现代智能电网基石,是集成多种功能的智能化终端,在全球能源转型与数字化浪潮下大规模部署成必然趋势。但其工作环境复杂,居民区、工业区等存在诸多潜在电磁干扰源,传导干扰有电网浪涌等,辐射干扰有手机基站等产生的高频电磁场。这些干扰侵入电表内部,会污染模拟信号采样电路、诱发数字逻辑电路错误、损坏通信接口芯片,影响电表正常工作。所以,确保智能电表具备良好电磁兼容性(EMC)是产品设计重点,EMC关乎产品功能、安全、可靠及市场准入。国际电工委员会制定系列严格标准,明确对EMC性能的强制性规定。本文从工程实践出发,系统梳理智能电表硬件设计应对EMI的关键技术,建立有效测试方法论,为研发人员提供参考。

## 1 智能电表中的电磁干扰耦合路径与影响分析

### 1.1 传导耦合

这是最直接也是最常见的耦合方式。干扰信号通过电表的电源线、信号线(如RS-485、脉冲输出线)等导线直接进入设备内部。典型的传导干扰包括:(1)浪涌:主要由雷击感应或大型负载切换引起,表现为高能量、短时间的电压/电流尖峰,极易损坏前端元器件。(2)电快速瞬变脉冲群(EFT/Burst):由继电器、接触器等感性负载断开时产生的电弧引发,形成一连串高频、高压的脉冲群。虽然单个脉冲能量不高,但其高频特性容易通过分布电容耦合到内部电路,干扰数字逻辑<sup>[1]</sup>。(3)射频场感应的传导骚扰(CS):外部强射频场会在电源线和信号线上感应出共模或差模的射频电流。

### 1.2 辐射耦合

外部空间的电磁场可以直接穿透电表外壳,在内部

的PCB走线、元器件引脚上感应出干扰电压或电流。这种耦合方式尤其对高频干扰(如静电放电ESD、射频电磁场辐射抗扰度RS)更为敏感。较长的走线会像天线一样接收电磁波,而高阻抗节点则更容易被干扰信号驱动。

## 1.3 关键电路模块的脆弱性分析

(1)电源模块:作为所有能量的入口,首当其冲。不稳定的电源会直接导致整个系统工作异常。(2)模拟前端(AFE):包括电压/电流互感器(或分流器)、信号调理电路和ADC。AFE处理的是微弱的模拟信号(毫伏级),任何叠加在其上的噪声都会被放大并最终反映在计量结果上,是系统中最敏感的部分。(3)微控制器(MCU):系统的“大脑”。其复位引脚、晶振电路、I/O口等都对干扰非常敏感。干扰可能导致程序计数器错乱、看门狗失效或内部寄存器数据被篡改。(4)通信接口:如电力线载波(PLC)、RS-485、GPRS/NB-IoT等模块。这些接口通常连接到外部网络,既是信息通道,也是干扰的入口。接口芯片的损坏或通信协议的紊乱会直接导致数据传输失败。

## 2 抗电磁干扰的硬件设计策略

针对上述分析,本文提出一套分层、协同的硬件抗干扰设计框架,覆盖从系统架构到具体元器件选型的各个环节。

### 2.1 电源系统的抗干扰设计

首先,在交流输入端应配置由共模电感、X电容和Y电容组成的EMI滤波器,该滤波器能够有效抑制来自电网的共模和差模噪声,防止其进入后级电路。对于高能量的浪涌冲击,压敏电阻(MOV)是不可或缺的保护元件,它能在电压超过阈值时迅速导通,将大部分能量泄放到大地,从而保护后级整流桥和开关电源芯片。同时,为

了应对电快速瞬变脉冲群（EFT）这类高频、重复性的干扰，在整流滤波之后增加TVS二极管可以实现对残余脉冲的二次钳位，进一步提升电源的鲁棒性<sup>[2]</sup>。此外，考虑到强电计量部分与弱电控制通信部分之间可能存在地电位差，采用隔离型DC-DC电源模块为弱电系统供电，不仅能有效切断地环路，还能显著降低共模干扰通过电源地传播的风险。整个电源设计需兼顾效率、成本与可靠性，在满足EMC要求的同时，确保长期运行的稳定性。

## 2.2 模拟前端（AFE）的精密抗干扰设计

在AFE的设计中，首要任务是构建一个低噪声、高隔离度的信号采集环境。这要求在PCB布局阶段就将AFE区域与其他高噪声数字电路严格分离，并在其下方铺设完整的模拟地平面，避免数字地电流对敏感模拟信号的串扰。AFE所使用的传感器，如锰铜分流器或高精度电流互感器，应尽量靠近被测线路安装，以缩短高阻抗信号路径，减少拾取外部噪声的机会。在信号进入模数转换器（ADC）之前，必须经过精心设计的低通滤波网络，该网络的截止频率应略高于工频及其主要谐波成分，以便在保留有用信号的同时有效滤除高频干扰。对于采用差分输入的 $\Sigma$ - $\Delta$ 型ADC，其本身内置的高阶数字滤波器（如Sinc3或Sinc4）对工频及其整数倍谐波具有天然的抑制能力，这一特性在电网谐波丰富的环境中尤为重要。此外，AFE电路中的所有走线都应尽可能短而直，避免形成环路天线，并远离时钟线、开关电源等潜在的噪声源，从而最大限度地保障微弱模拟信号的纯净度。

## 2.3 微控制器（MCU）及数字电路的鲁棒性设计

简单的RC复位电路往往无法在电源波动剧烈时提供干净的复位信号，因此应采用专用的电压监控复位IC，确保在任何异常情况下都能使MCU进入确定的初始状态。同时，必须启用独立的看门狗定时器（WDT），无论是内部集成还是外置，其作用是在程序因干扰而跑飞时，能够自动触发系统复位，恢复正常的运行流程。晶振作为系统的时钟源，其稳定性直接关系到所有时序逻辑的准确性，因此在PCB布局时，晶振应紧邻MCU的OSC引脚放置，并用接地铜皮将其包围，形成局部的电磁屏蔽，同时严禁在晶振下方布置任何走线，以减小寄生电容和电感的影响<sup>[3]</sup>。对于所有对外连接的I/O口，无论是用于按钮输入还是LED驱动，都应在信号线上串联适当的限流电阻，并在靠近MCU引脚处增加TVS管以提供ESD保护。对于未使用的I/O引脚，应通过软件配置为输出模式并拉至固定的高或低电平，避免其处于高阻态而成为接收外部干扰的天线，从而提升整个数字系统的抗扰度。

## 2.4 通信接口的隔离与保护

为了确保通信的可靠性和内部电路的安全，必须对所有对外接口实施严格的电气隔离和瞬态保护。无论是用于本地抄表的RS-485接口，还是用于脉冲校验的输出端口，都应通过高速光耦或磁耦隔离器与内部MCU进行连接。这种物理隔离不仅能有效阻断因长距离布线而引入的地电位差所形成的共模干扰，更能防止外部高压（如雷击感应）直接窜入并损坏昂贵的主控芯片。在接口的外部引脚侧，必须安装专用的TVS阵列或集成式ESD保护器件，它们能够在纳秒级时间内响应并泄放高达数千伏的静电或瞬态脉冲能量。以RS-485总线为例，除了基本的隔离和TVS保护外，还应在总线A、B线上增加终端匹配电阻以消除信号反射，并串联共模扼流圈来抑制共模噪声，从而在复杂的工业现场环境中维持稳定可靠的通信链路。

## 2.5 PCB布局布线与接地策略

一个优秀的PCB布局必须遵循严格的分区原则，将强电计量区、高灵敏度的模拟前端区、高速数字逻辑区以及通信接口区在物理空间上清晰地划分开来，并通过地线或开槽进行隔离，以最大限度地减少各区之间的相互干扰。接地系统的设计尤为关键，应采用混合接地策略，即在模拟地（AGND）和数字地（DGND）之间设置一个低阻抗的单点连接，通常位于ADC芯片下方或隔离电源的次级侧，这样既能保证两者拥有共同的参考电位，又能避免数字地的噪声电流流入敏感的模拟地平面。整个PCB的底层应铺设完整的地平面，为所有信号的回流提供最短、阻抗最低的路径，这不仅能够有效减小信号环路面积，从而降低自身的辐射发射，也能显著提高对外部辐射干扰的免疫力。在布线方面，高速信号线如时钟线应力求最短，并用地线进行包覆以形成屏蔽；电源走线需足够宽以承载电流并降低阻抗；而关键的模拟信号线则必须远离任何数字信号线和开关电源的功率回路，杜绝任何形式的串扰。

## 3 抗干扰性能的测试与验证

再完美的设计也需要通过严格的测试来验证。智能电表的EMC测试主要依据IEC61000-4系列标准。

### 3.1 测试项目与标准依据

根据IEC62052-11，智能电表必须通过以下关键抗扰度测试：（1）静电放电抗扰度（ESD）-IEC61000-4-2：接触放电 $\pm 8\text{kV}$ ，空气放电 $\pm 15\text{kV}$ 。（2）射频电磁场辐射抗扰度（RS）-IEC61000-4-3：在80MHz-6GHz频段内，场强 $10\text{V/m}$ 。（3）电快速瞬变脉冲群抗扰度（EFT/Burst）-IEC61000-4-4：电源端口 $\pm 4\text{kV}$ ，通信/信号端口 $\pm 2\text{kV}$ 。（4）浪涌（冲击）抗扰度（Surge）-IEC61000-4-5：

电源线差模 $\pm 2\text{kV}$ ，共模 $\pm 4\text{kV}$ 。(5) 射频场感应的传导骚扰抗扰度(CS)-IEC61000-4-6: 在150kHz-80MHz频段内，注入电平10V。(6) 工频磁场抗扰度-IEC61000-4-8: 磁场强度100A/m。

### 3.2 测试方法与判据

所有EMC抗扰度测试都必须在符合资质的第三方实验室或企业内部的专业EMC实验室中进行。辐射类测试，如RS，需要在电波暗室(SAC)内完成，以排除外部电磁环境的干扰；而传导类测试，如EFT、Surge和CS，则可以在屏蔽良好的测试台上进行。测试时，被测电表(EUT)必须按照其典型应用场景进行配置，例如接入标准的阻性负载以模拟真实用电状态，同时确保其通信模块处于正常工作模式，以便全面评估干扰对各项功能的影响。测试的性能判据是衡量产品是否合格的关键<sup>[4]</sup>。对于智能电表这类关键计量设备，通常要求满足CriteriaB，这意味着在测试过程中，设备的功能可以出现暂时性的中断或性能下降，但一旦测试结束，所有功能必须能够自动恢复正常，且在此期间存储的所有关键数据，如累计电量、事件日志等，都不得发生丢失或损坏。更重要的是，无论在测试前、测试中还是测试后，其计量精度都必须始终满足相应准确度等级(如Class1)的法定要求。

### 3.3 典型问题与整改案例

在实际测试中，常遇到以下问题：(1) EFT测试中通信中断：通常是由于通信接口隔离不足或TVS选型不当。整改措施包括加强光耦隔离、更换响应速度更快的TVS、在通信线上增加共模电感。(2) ESD测试后MCU死机：说明复位电路或看门狗机制不够健壮。可通过优化复位IC参数、检查WDT喂狗逻辑、加强外壳接地等方式解决。(3) RS测试中计量误差超差：这往往指向AFE

设计缺陷。需要检查AFE区域的屏蔽、滤波器参数是否合适，以及PCB上是否存在天线效应的长走线。通过“设计-测试-分析-整改”的迭代过程，最终确保产品能够一次性通过全部EMC认证测试。

## 4 结语

智能电表是智能电网关键感知节点，其复杂电磁环境下的可靠性极为重要。本文系统论述了从理论到实践的完整抗电磁干扰方案。研究指出，成功的EMC设计需系统性、贯穿产品全生命周期的工程思维。要先理解干扰来源、耦合路径及对电路模块的影响，再通过精心设计电源系统、构建模拟前端、强化数字核心、隔离保护通信接口等构筑防线。科学合理的PCB布局布线与接地策略是融合设计思想、发挥效能的基础。严格遵循国际标准EMC测试是检验设计的关键，能暴露问题并精准整改，确保产品可靠运行。未来，智能电表集成更多无线通信功能，电磁环境更复杂，持续研究更高集成度、低功耗的EMC设计新方法是长期方向，本文为此奠定了基础。

## 参考文献

- [1] 庞青林,赵利红.智能电表数据采集失败原因分析及应对措施研究[C]//《中国招标》期刊有限公司.新质生产力驱动第二产业发展与招标采购创新论坛——绿色智造·采购革新专题(第二册).国网河北省电力有限公司鸡泽县供电分公司,;2025:878-882.
- [2] 蔡春育,符湛茹,邓炎杰,等.智能电表的高防护研究[J].科技资讯,2025,23(16):96-98.
- [3] 郭苗永,周俊,徐羽涵,等.智能电表ADC采样电路优化与应用研究[J].电工技术,2025,(14):282-286.
- [4] 李任鹏,付川南,冯奥翔.基于单片机的单相智能电表的设计与实现[J].机械工程与自动化,2025,54(03):188-190.