

基于国产K7系列FPGA的SRIO接口设计与实现

宋 昆 段 康 吕银东

陕西长岭电子科技有限责任公司 陕西 宝鸡 721006

摘 要: 针对系统设备芯片国产化的迫切需求,进行了基于国微公司K7系列FPGA的SRIO接口的设计和实现。首先介绍国微FPGA平台资源和SRIO架构;重点分析讨论国微FPGA的SRIO接口数据流控制时序,通过软件仿真实现SRIO数据逻辑,并在硬件板实现与TMS320C6678的数据交互测试,验证国微FPGA上SRIO设计的稳定性。

关键词: SRIO; FPGA; 协议

引言

自从2018年美国商务部发布对中兴通信的禁止出口令,几年来美国商务部多次发布对中国企业制裁清单,对国内企业敲响了警钟,同时明白中国必须拥有自主研发的芯片产品才能实现制造强国的目标。

在严酷的外部环境下,为了企业长远的发展,必须坚持在国产芯片上进行开发和应用。本文主要是在国产K7系列FPGA平台上实现SRIO的设计和验证。

1 国产 K7 系列 FPGA

本文使用的FPGA是深圳国微公司推出的SMQ7K325T,具有完全自主产权,并完全兼容Xilinx公司的XQ7K325T对应封装的产品。该芯片内部可编程资源丰富,包含数据信号处理器,块状存储器BRAM,可编程逻辑单元CLB, GTX收发器,多功能高性能IO等。

SMQ7K325T内置GTX收发器,数据传输速率可达12.5Gb/s,可以灵活支持多种通信协议标准。本文通过配置FPGA内置的GTX收发器作为SRIO接口设计的硬件基础。

2 SRIO 接口协议

Serial RapidIO (SRIO)^[1]协议是一个开放的点对点分组交换标准,是面向嵌入式系统开发提出的高可靠、高性能、基于包交换的互联技术。SRIO协议体系结构见表1所示。SRIO是采用串行差分模拟信号传输的RapidIO协议,基于SerDes技术,采用差分交流耦合信号的高速互连接口。

表1 SRIO协议体系结构

逻辑层	I/O系统	消息传递	全局共享存储器	流量控制	数据流
传输层	公共传输层规范				
物理层	8/16位并行	1X/4X串行	未来定义的物理层规范		

SRIO分为三层:逻辑、传输和物理。逻辑层定义了操作协议;传输层定义了包交换、路由和寻址机制;物理层定义了电气特性、链路控制和纠错重传等。

3 设计与实现

SMQ7K325T的GTX模块嵌入SRIO IP核^[2],可支持速率1.25Gbps、2.5Gbps~3.125Gbps,可实现异构处理器DSP和FPGA之间的SRIO高速串行通信。通过逻辑IP核读写时序,实现3.125Gbps,接口模式为4XSRIO连接接口设计和验证。

3.1 SRIO IO核

SRIO IO核主要分为四个功能模块。

发送功能:主动发起事务请求,对接收端相应信号的事务请求。

接收功能:接收发送端发送的事务请求并根据请求作出相应的响应。

时钟配置:配置参考时钟。

复位功能:通过对配置信号进行处理,形成IP核的复位信号。

3.2 设计与实现

因FPGA的GTX接口对时钟要求较高,选用高质量时钟芯片CDCM6208产生125MHz差分时钟信号作为SRIO链路时钟信号的输入;选用TMS320C6678作为SRIO链路的通信端。

本次设计中,将SRIO传输协议定义为新的包格式,称为HELLO格式,如图2所示;选择SWRITE事务进行数据传输、DB事务进行中断。

采用两组地址乒乓操作方式传输数据。如图1所示,系统进入启动阶段,时钟复位模块开始时钟及复位,直到GTX模块稳定,系统复位状态停止以及时钟输出稳定,FPGA进入正常工作模块。FPGA时序逻辑模块进行相关的SRIO控制与数据操作,首先配置SRIO基本参数,包括门铃工作模式、数据包大小和数据传输次数以及目标地址;同时将需要数据存入发送模块的内部存储区,使能发送数据信号直至数据发送完毕后关闭使能。

发送端发起模块的参数寄存器在发送数据信号未使

能的状态下实时更新，直到发送数据信号使能，发送端发起模块解析用户配置的参数，将其转换为SRIO所需要的参数类型，并根据工作模式建立发送请求时序送至SRIO模块，SRIO模块按照参数配置和时序将数据发送出去；相反当FPGA接收到数据之后，SRIO模块会将串行数据转换成并行数据，解析数据分离出有效数据，并将其工作类型及相关的参数一同送至目标接收模块，根据解析出的工作模式将有效的数据部分送至时序逻辑模块，完成数据的接收。

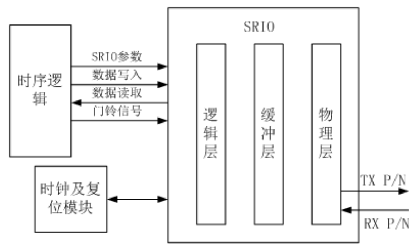


图1 程序原理框图

本次选用FPGA的Serial RapidIO Gen2实现系统中的SRIO模块。SRIO模块的主要参数设置如图2所示。SRIO协议的传输速率设置为3.125Gbps，4通道模式；接收缓存和发送缓存宽度为16位，SRIO设备ID设置为0Xab，其他保持默认。

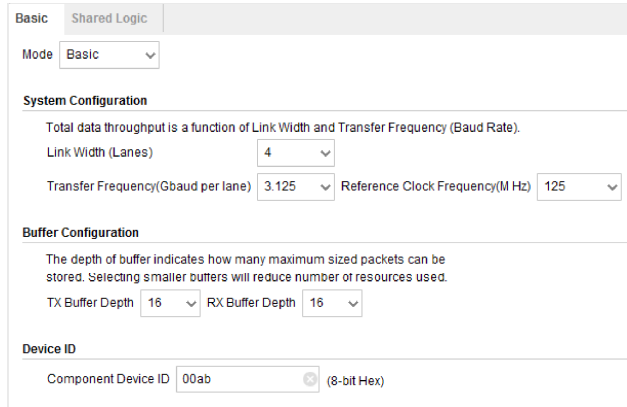


图2 SRIO IP核配置界面

4 设计验证

设计中，SRIO接口主要实现验证的是数据的读写操作。

由于RapidIO协议规定，SWRITE事务一次最多传输256字节的数据，因此每组数据都由多个SWRITE类型的数据包组成，数据写完之后发送一个门铃中断操作，通知接收设备读取数据。接收端触发门铃中断后，根据门铃标志位确定数据位置（乒乓地址或乒乓地址），取出数据进行处理。接下来FPGA使用SWRITE事务向乒乓地址进行同样操作。

FPGA接收数据时，完成的功能是接收SRIO模块写入的数据，相应SRIO发出的请求，做出相应的反馈。FPGA通过m_axis_treq_addr1读取经过IP核处理后的数据，并开始读相应，通过控制m_axis_treq_tvalid（有效标志位）、m_axis_treq_tready（数据开始位）、m_axis_treq_tlast（数据结束位）等信号，检测数据有效性，接收数据，仿真时序完成验证。

本次硬件测试SRIO高速传输程序通过PCB板级内部布线互连两种方式实现了FPGA芯片与TI的C6678芯片的互连^[3]，更新了FPGA与DSP互连的方式；实现了FPGA芯片与TI的C6678芯片的门铃事务的数据操作，采用之前的程序设计思想，使得FPGA对SRIO传输数据的操作变得十分简便，只需对一部分端口进行简单的配置便可以完成一次数据高速传输，FPGA芯片实现的SRIO高速串行接口和TI的C6678的DSP的SRIO串行接口实现了3.125Gbps的线速率下，这已经达到了。在整个传输过程中，二者互连十分稳定，没有出现掉线的情况，传输过程中没有出现丢包的情况。

5 结论

本文首先介绍了SRIO协议标准，分析了国产FPGA功能和特性。随后在国产FPGA平台上，生成的SRIO通过PCB板级内部布线与TI的C6678的DSP进行互通，TI的C6678作为第三方验证国产FPGA中SRIO接口设计稳定性和实用性。

参考文献：

- [1] 万毅,袁议玲.SRIO在某无线通信系统中的应用[J].微处理机,2018,39(6):54-57.
- [2] 深圳市国微电子有限公司.K7系列产品手册2019.