一次雷达数字收发信号同步技术改进分析

王志鸿　闻华荣
四创电子股份有限公司　安徽　合肥　230093

摘　要：针对传统一次雷达数字收发同步系统存在时序偏差较大、相位漂移明显、频率稳定性不足以及复杂工况下误差累积严重、抗干扰能力薄弱等工程问题，本文系统阐述雷达数字收发同步工作机理与核心技术理论，全面剖析传统同步方案的软硬件缺陷与误差成因。本文提出软硬件深度融合的优化改进架构，重构高精度时钟传输链路，结合自适应滤波与多通道协同校准算法完成同步优化。仿真结果表明，改进方案显著提升系统同步精度、稳定性与环境适应性，可有效支撑现代高精度一次雷达探测作业需求。

关键词：一次雷达；数字收发信号；同步技术改进

引言：数字收发信号同步是一次雷达系统实现精准测距、测速与目标识别的核心技术支撑，同步精度与稳定性直接决定雷达整体探测性能。传统同步技术多采用固定时钟分频与静态校正模式，动态补偿能力有限，在温度波动、机械振动、复杂电磁干扰等恶劣工况下易出现同步误差发散、多通道一致性下降等问题，难以适配现代宽带、多通道、高精度雷达的长期稳定工作要求。为此，本文开展同步技术改进研究，通过架构优化与算法升级提升系统综合同步性能。

1 一次雷达数字收发同步基础理论与传统技术分析

1.1 一次雷达数字收发系统工作原理

（1）数字收发系统整体架构由发射模块、接收模块、时钟模块与信号处理模块构成。发射模块负责将基带信号上变频至射频并功率放大；接收模块对回波信号进行低噪声放大、下变频及滤波；时钟模块为全系统提供统一参考时钟与采样触发；信号处理模块完成数字下变频、脉冲压缩及目标检测等处理。（2）信号发射流程中，波形产生单元生成基带脉冲信号，经正交调制与上变频后由天线辐射。电磁波经目标反射形成回波，被接收天线捕获后送入接收前端，经放大、解调后输出基带模拟信号[1]。（3）数字信号采样采用高速ADC，依据奈奎斯特或带通采样定理将模拟中频信号转化为数字量；量化过程引入量化噪声，由位数决定信噪比上限；采集后的数据通过高速串行接口（如JESD204B）传输至处理单元，需保证数据对齐与完整性。

1.2 数字收发同步技术核心理论

（1）时间同步要求收发系统起始时刻对齐，相位同步需本振信号相位差恒定，频率同步确保载波与采样时钟同源。技术指标包括时间偏差（ps级）、相位噪声（dBc/Hz）及频率稳定度（ppm）。（2）时序偏差源于触发信号传播路径差异及分频器初始状态不定；相位漂移由温度变化引起本振相移及器件老化所致；频率偏移则因晶振精度有限与多普勒效应产生。（3）同步精度直接影响雷达探测性能：时间偏差1ns对应距离误差0.15m；相位漂移恶化多普勒谱纯度，降低弱目标检测能力；频率偏移导致目标速度估计偏差与匹配滤波增益损失。

1.3 传统数字收发同步技术方案

（1）基于硬件时钟分频的同步技术采用单一主时钟源经扇出芯片分发至各模块，通过等长PCB走线保证时钟到达时间一致，利用分频器产生同相触发脉冲实现粗同步。（2）基于传统算法的软件同步校正方法通过发射校准信号并采集回波，计算时延差与相位差，采用插值补偿时偏、复数乘法校正相偏，周期性执行以维持同步状态。（3）闭环同步架构利用反馈通道实时监测误差并驱动补偿，精度高但结构复杂；开环架构依靠预测模型进行前向补偿，响应快但缺乏误差修正能力。

1.4 传统技术缺陷与误差分析

（1）硬件层面：晶振长期漂移引入累积频率偏差；传输链路延时随温度波动，多通道间走线误差导致时序不一致；扇出芯片附加抖动劣化同步精度。（2）算法层面：传统校正算法预设固定模型，动态适配性差；抗干扰能力弱，噪声环境下参数估计偏差大；开环架构下误差逐次累加，长期工作后严重超标。（3）复杂工况下，温度剧变、振动及供电纹波等因素导致同步性能急剧退化，传统方案无法实时补偿，在高频段、宽带宽及多通道系统中失效风险显著，难以满足现代雷达高精度探测需求。

2 一次雷达数字收发信号同步技术改进方案设计

2.1 技术改进总体设计思路与指标需求

（1）改进方案设计遵循"高精度为基、高稳定性为

本、低延时为要、强抗干扰为核、工程实用为纲"五项原则。高精度保障测距测速基础性能，高稳定性确保长期工作一致性，低延时满足实时处理需求，强抗干扰适配复杂电磁环境，工程实用性兼顾成本、功耗与可部署性。（2）核心性能优化指标设定如下：收发通道间时序同步误差 ≤ 100ps（RMS），本振相位同步精度 ≤ 1°（RMS）且相位漂移补偿后残余 ≤ 0.5°/min，频率同步稳定度优于±0.01ppm，同步保持时间 ≥ 10s（无外部校准），同步建立时间 ≤ 50ms，多通道幅度一致性 ≤ 0.1dB。上述指标较传统方案提升1~2个数量级[2]。（3）整体改进架构采用"一体双驱三环"设计：一体指硬件与算法深度融合协同设计；双驱指硬件层面重构时钟树与传输链路，算法层面创新自适应补偿与多通道协同校准；三环指前向开环粗同步环、闭环精同步跟踪环及异常容错恢复环，三层协同保障全工况同步性能。

2.2 同步硬件架构优化设计

（1）高精度时钟模块选用恒温晶振（OCXO，频率稳定度优于±0.005ppm）或铷原子钟作为主时钟源。时钟树重构采用"主时钟源+多级低噪声缓冲器+独立可编程延迟芯片"拓扑，每路时钟输出配备独立相位微调器，实现皮秒级延时调节。（2）多通道传输链路延时均衡采用"粗补偿+精微调"两级策略：粗补偿层通过PCB等长走线（等长误差 ≤ 0.5mm）消除静态延时偏差；精微调层在各通道部署可编程数字延时线（步进 ≤ 10ps），结合出厂校准实测各链路固有延时并固化补偿值，将通道间残余延时差压缩至50ps以内。（3）硬件同步校准电路集成FPGA内部动态相位调整模块（DPA），对每路采样时钟进行实时相位偏置调整。同时部署高速比较器与时间数字转换器（TDC）构成的延时测量电路，以20ps分辨率实时监测参考时钟与各通道时钟间相位差，为闭环修正提供硬件级反馈通道。

2.3 同步校正算法改进设计

（1）基于自适应滤波的时序误差降噪算法采用最小均方（LMS）自适应滤波器，以校准信号相关峰位置为参考构建时序误差观测序列，滤波器系数依据误差梯度动态更新，有效滤除热噪声与抖动引起的随机时序波动，将测量噪声方差降低约60%。（2）动态相位补偿算法融合卡尔曼滤波与线性预测双模架构：卡尔曼滤波根据状态方程递推估计当前最优相偏值，抑制观测噪声；线性预测模型依据历史漂移趋势提前预测未来相位变化量实现超前补偿。二者权重随误差变化率自适应调整，跟踪带宽动态优化。（3）多通道协同同步校准采用"主从基准+两两互校准"架构：以通道1为基准主通道，其余从通道同时追踪主通道相位与时序基准；同时增加从通道间两两互校验，通过最小二乘平差将误差分配至各通道，确保全通道误差均摊最优化，消除级联校准的误差单向累积[3]。

2.4 改进技术抗干扰优化设计

（1）复杂电磁环境下同步信号抗干扰机制在链路前端增加硬件带通滤波与数字匹配滤波双重防护。同步脉冲采用扩频编码传输，接收端解扩处理获得 ≥ 20dB处理增益，使同步信号淹没于干扰噪声中仍可有效提取，提升电磁对抗环境下的同步可靠性。（2）误差动态监测与闭环修正机制以每10个脉冲重复周期为监测窗口，持续计算时延与相位误差的统计均值及方差。当误差超出门限时，闭环修正自动触发补偿指令，驱动硬件延时调节与相位微调同时动作，以 < 50μs响应速度完成误差压制，确保误差长期收敛。（3）异常工况下分级容错机制：一级容错为预测补偿—— 反馈中断时切换至纯预测模式，依据历史漂移趋势维持 ≤ 1μs精度持续 ≥ 5s；二级容错为参考源切换—— 主时钟失锁时无缝切换至冗余时钟源（切换 ≤ 10μs）；三级容错为热启动恢复—— 同步完全丢失时利用存储的最佳历史补偿参数快速重同步，恢复时间 ≤ 1s，保障复杂工况下的任务连续性[4]。

3 改进技术仿真验证与性能分析

3.1 仿真实验环境与参数设置

（1）仿真平台搭建基于MATLAB/Simulink与XilinxSystemGenerator联合仿真环境，硬件验证采用ZynqUltraScale+MPSoC开发板，配合2.5GSPS高速ADC/DAC子卡（14bit分辨率），构建半实物仿真平台。软件层集成自定义误差注入模块，支持时延偏移、相位扰动、频率偏差及多类干扰信号的灵活注入，实现全方位性能验证。（2）雷达系统参数：载频10GHz，带宽100MHz，脉冲重复频率5kHz，脉宽10μs，采样率2.5GSPS。同步工况初始参数：时序偏差500ps，相位漂移率2°/min，频率偏移±0.1ppm。干扰环境设定三类典型场景：窄带干扰（干信比30dB）、宽带噪声干扰（干信比25dB）、多径衰落（延迟0.1~1μs），信噪比变化范围0~20dB。（3）性能评价指标体系涵盖四个维度共十项指标：精度维度（时序同步RMS误差、相位同步RMS误差）；稳定性维度（1小时最大漂移量、艾伦方差）；延时维度（同步建立时间、修正响应延迟）；抗干扰维度（误差退化系数、失锁概率、失锁恢复时间），为方案优劣提供完整量化依据。

3.2 单项性能仿真测试与结果分析

（1）时序同步精度测试显示，改进方案在无干扰条件下时序RMS误差为82ps，较传统方案（580ps）降低约

85%，最大峰值误差 ≤ 150ps，误差标准差由210ps压缩至35ps，自适应滤波器有效抑制了随机时序抖动。（2）相位与频率同步稳定性测试中，1小时连续工作改进方案相位漂移峰峰值仅0.8°，残余RMS误差 ≤ 0.6°，传统方案同期漂移达12°，呈持续发散态势。频率稳定度艾伦方差 $\tau = 1s$时为3.2×10^{-12}，较传统方案（2.1×10^{-10}）提升近两个量级。（3）8通道收发延时一致性测试中，改进方案通道间最大延时差45ps，RMS值18ps，较传统方案（最大延时差320ps）均衡效果提升约7倍，验证了硬件延时粗补偿与软件精校准协同方案的有效性[5]。

3.3 复杂工况与抗干扰性能测试

（1）电磁干扰环境下，当信噪比降至-5dB时，改进方案利用扩频同步编码与数字匹配滤波，时序误差仍 ≤ 180ps，同步保持率97.5%，较传统方案（62%）大幅提升，有效干扰抑制比达28dB。（2）6小时连续工作误差累积测试表明：改进方案因闭环修正持续作用，误差始终收敛于±120ps区间，无累积发散；传统方案误差随时间线性增长至3.6μs，完全失效。（3）高低温（-40~+70℃）与振动（10~500Hz）复合工况下，改进方案同步误差 ≤ 220ps，相位漂移 ≤ 1.5°/min，性能退化率 < 30%；传统方案在+60℃以上出现晶振失锁。

3.4 改进技术综合性能对比与优势分析

（1）核心指标量化对比：时序误差580ps→82ps（提升85%），相位漂移12°/h→0.8°/h（提升93%），频率稳定度提升2个量级，同步建立时间200ms→42ms，失锁概率38%→2.5%，误差由发散型转为收敛型，九项指标达数量级或倍率级提升。（2）改进方案适用于宽带相控阵雷达、分布式协同探测及高精度成像雷达等复杂场景，硬件改动量小（增加时钟缓冲器与TDC芯片），算法可固化于FPGA，适合现有平台升级改造，有效缓解传统方案在强干扰、宽温域、长期值守工况下的同步失效问题，具有良好的工程应用价值与成本效益比。（3）当前局限：极端振动下时钟缓冲器残余抖动约15ps；强干扰启动初期自适应算法收敛约需200个脉冲周期；16通道以上最小二乘平差计算资源占用偏高。后续优化方向包括：引入深度学习误差预测替代卡尔曼滤波、探索光时钟分配技术消除链路延时差异、优化分布式跨板级同步机制以支持更大规模阵列扩展。

结束语

本文完成了一次雷达数字收发信号同步技术的缺陷分析、方案改进与仿真验证工作，构建了高精度、高稳定、强抗干扰的一体化同步体系，有效解决了传统同步技术误差累积、抗干扰弱、工况适应性差等突出问题，各项核心性能指标实现大幅提升。同时总结了改进方案在极端工况、大规模通道拓展中的现存短板，后续将依托智能预测算法与新型时钟传输技术持续迭代优化，进一步提升雷达同步系统的工程应用与拓展能力。

参考文献

[1]张宇航.一次雷达数字化收发信号同步偏差补偿技术研究[J].舰船电子工程,2024,44(11):89-93.

[2]耿雪胤,王彤,李建伟.基于空时谱熵的分布式阵列雷达同步误差估计方法[J].北京航空航天大学学报,2024,50(07):211-219.

[3]王浩,陈勇,赵亮.全数字雷达收发系统时序同步误差修正技术[J].现代防御技术,2023,51(04):92-98.

[4]周涛,李悦,张军.雷达数字收发通道相位同步精度优化方法[J].雷达科学与技术,2022,20(06):678-684.

[5]吴泽宇.一次雷达数字收发系统时钟同步优化与误差抑制技术[J].电子技术应用,2025,51(03):78-82.